

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): F. ITO et al
Serial No.: Not Yet Assigned
Filed: On Even Date Herewith
Title: A SEMICONDUCTOR DEVICE

LETTER CLAIMING RIGHT OF PRIORITY

Mail Stop: Patent Applications

May 20, 2004

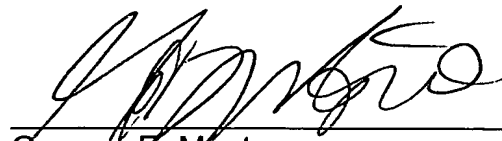
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicants hereby claim the right of priority based on **Japanese** Patent Application No. **2003-141911**, filed May 20, 2003.

A certified copy of said Japanese Application is attached.

Respectfully submitted,
ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Reg. No. 28, 141

GEM/dks
Attachment
(703) 312-6600

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 2 0 日
Date of Application:

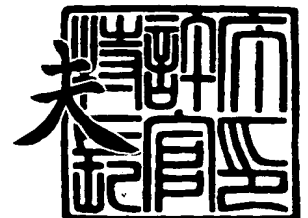
出 願 番 号 特 願 2 0 0 3 - 1 4 1 9 1 1
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 4 1 9 1 1]

出 願 人 株式会社ルネサステクノロジ
Applicant(s):

2 0 0 4 年 4 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 2 9 4 9 0

【書類名】 特許願

【整理番号】 H03003131

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/60

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 伊藤 富士夫

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 4 番 1 号 株式会社ルネサ
ステクノロジ内

【氏名】 鈴木 博通

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100083552

【弁理士】

【氏名又は名称】 秋田 収喜

【電話番号】 03-3893-6221

【手数料の表示】

【予納台帳番号】 014579

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】

その主面に集積回路と複数の電極を有する半導体チップと、
その一端部が前記半導体チップの裏面に固定され、他端部が外部端子として用いられる複数のリードと、

前記半導体チップの複数の電極と、前記半導体チップの外側に位置する前記複数のリードとを接続する複数のワイヤと、

前記半導体チップ、前記複数のリードの一部及び前記複数のワイヤを封止し、前記複数のリードの他端部をその裏面から露出する樹脂封止体とを有することを特徴とする半導体装置。

【請求項 2】

請求項 1 に記載の半導体装置において、

前記外部端子は、前記樹脂封止体の側面に沿って配置される第 1 外部端子と、前記第 1 外部端子よりも内側に配置され、かつ、前記第 1 外部端子間に配置された第 2 外部端子を有することを特徴とする半導体装置。

【請求項 3】

請求項 1 に記載の半導体装置において、

前記複数のリードは、更に、その一端部が前記半導体チップの外側に位置する複数の第 1 リードと、前記複数の第 1 リードの間に配置され、かつ、その一端部が前記半導体チップの裏面に固定される第 2 リードとを有し、

前記複数の第 1 リードの各々は、前記第 1 外部端子を含み、

前記複数の第 2 リードの各々は、前記第 2 外部端子を含むことを特徴とする半導体装置。

【請求項 4】

請求項 1 に記載の半導体装置において、

更に、前記半導体チップの上面に固定され、かつ、前記樹脂封止体の上面からその一部が露出するスペーサを含むことを特徴とする半導体装置。

【請求項 5】

絶縁性基材と、

その主面に集積回路と複数の電極を有し、前記絶縁性基材上に固定された半導体チップと、

その一端部が前記絶縁性基材に固定され、他端部が外部端子として用いられる複数のリードと、

前記半導体チップの複数の電極と、前記絶縁性基材の外側に位置する前記複数のリードとを接続する複数のワイヤと、

前記絶縁性基材、前記半導体チップ、前記複数のリードの一部及び前記複数のワイヤを封止し、前記複数のリードの他端部をその裏面から露出する樹脂封止体とを有することを特徴とする半導体装置。

【請求項 6】

請求項 5 に記載の半導体装置において、

前記外部端子は、前記樹脂封止体の側面に沿って配置される第 1 外部端子と、

前記第 1 外部端子よりも内側に配置され、かつ、前記第 1 外部端子間に配置された第 2 外部端子を有することを特徴とする半導体装置。

【請求項 7】

請求項 6 に記載の半導体装置において、

前記複数のリードは、更に、その一端部が前記絶縁性基材の外側に位置する複数の第 1 リードと、前記複数の第 1 リードの間に配置され、かつ、その一端部が前記絶縁性基材に固定される第 2 リードとを有し、

前記複数の第 1 リードの各々は、前記第 1 外部端子を含み、

前記複数の第 2 リードの各々は、前記第 2 外部端子を含むことを特徴とする半導体装置。

【請求項 8】

請求項 5 に記載の半導体装置において、

更に、前記半導体チップの上面に固定され、かつ、前記樹脂封止体の上面からその一部が露出するスペーサを含むことを特徴とする半導体装置。

【請求項 9】

樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置の製造方法であって、

- (a) その主面に集積回路と複数の電極を有する半導体チップと、複数のリードとを供給する工程と、
- (b) 前記複数のリードの一端部を前記半導体チップの裏面に固定する工程と、
- (c) 前記半導体チップの外側に位置する前記複数のリード部分と、前記半導体チップの電極とを複数のワイヤで接続する工程と、
- (d) 前記半導体チップの上面上にスペーサを形成する工程と、
- (e) 前記半導体チップ、前記複数のリード及び前記複数のワイヤを樹脂封止体により封止する工程とを有し、

前記樹脂封止体は、成形金型のキャビティ内に樹脂を注入するトランスファ・モールドディング法により形成され、

前記樹脂封止体は、前記スペーサの一部が前記成形金型のキャビティの内面に接触した状態で前記樹脂を注入することによって形成されることを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 9 に記載の半導体装置の製造方法において、

前記半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記スペーサは、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成されることを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、

前記スペーサは、シリコン片から形成されることを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 11 に記載の半導体装置の製造方法において、

前記シリコン片は、シリコンウエハをダイシングすることによって得られる複

数のシリコン片の一つであり、前記シリコンウエハのダイシングに先立って、前記半導体ウエハ上に前記シリコンウエハを張り合わせる工程と、その後、前記シリコンウエハをダイシングする工程を含むことを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 10 に記載の半導体装置の製造方法において、
前記スペーサは、絶縁層により形成され、
前記絶縁層は、印刷により形成されることを特徴とする半導体装置の製造方法

【請求項 14】

請求項 13 に記載の半導体装置の製造方法において、
前記絶縁層は、ポリイミド層であることを特徴とする半導体装置の製造方法。

【請求項 15】

樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置の製造方法において、

- (a) その主面に集積回路と複数の電極を有する半導体チップと、その一端部が絶縁性基材に固定された複数のリードとを供給する工程と、
- (b) 前記絶縁性基材上に半導体チップを固定する工程と、
- (c) 前記半導体チップの外側に位置する複数のリード部分と前記半導体チップの電極とを複数のワイヤで接続する工程と、
- (d) 前記半導体チップの上面上にスペーサを形成する工程と、
- (e) 前記半導体チップ、前記絶縁性基材、前記複数のリード及び前記複数のワイヤを樹脂封止体により封止する工程とを有し、

前記樹脂封止体は、成形金型のキャビティ内に樹脂を注入するトランスファ・モールドイング法により形成され、前記樹脂封止体は、前記スペーサの一部が前記成形金型のキャビティの内面に接触した状態で前記樹脂を注入することによって形成されることを特徴とする半導体装置の製造方法。

【請求項 16】

配線基板上に複数の半導体チップを搭載する半導体装置の製造方法であって、

- (a) 各々が集積回路と複数の電極を有する第1及び第2半導体チップを準備する工程と、
- (b) 前記配線基板の一主面上に前記第1半導体チップを搭載する工程と、
- (c) 前記第1半導体チップ上にスペーサを介して前記第2半導体チップを積層する工程と、
- (d) 前記第1及び第2半導体チップの各々の電極と、前記配線基板の一主面上に配置された複数の端子とを複数のワイヤで接続する工程と、
- (e) 前記配線基板の一主面上において、前記第1及び第2半導体チップ、及び前記ワイヤを樹脂封止体により封止する工程とを有し、

前記第1半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記スペーサは、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成され、

前記工程(b)は、前記スペーサが形成された前記第1半導体チップを前記配線基板の一主面上に搭載する工程を含むことを特徴とする半導体装置の製造方法。

【請求項17】

請求項16に記載の半導体装置の製造方法において、

前記半導体ウエハの裏面をグラインデイング及びスピネッチングすることによってその厚さを薄型化する工程を更に含み、

前記スペーサは、前記半導体ウエハを薄型化する工程の後に、前記半導体ウエハ上に搭載されることを特徴とする半導体装置の製造方法。

【請求項18】

リードフレームのチップ搭載部上に複数の半導体チップを搭載する半導体装置の製造方法において、

- (a) 各々が集積回路と複数の電極を有する第1及び第2半導体チップを準備する工程と、
- (b) 前記チップ搭載部上に前記第1半導体チップを搭載する工程と、
- (c) 前記第1半導体チップ上にスペーサを介して前記第2半導体チップを積層

する工程と、

(d) 前記第1及び第2半導体チップの各々の電極と、前記リードフレームの複数のリードとを複数のワイヤで接続する工程と、

(e) 前記チップ搭載部、前記複数のリードの一部、前記第1及び第2半導体チップ及び前記複数のワイヤを樹脂封止体により封止する工程とを有し、

前記第1半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記スペーサは、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成され、

前記工程(b)は、前記スペーサが形成された前記第1半導体チップを前記チップ搭載部上に搭載する工程を含むことを特徴とする半導体装置の製造方法。

【請求項19】

請求項18に記載の半導体装置の製造方法において、

前記半導体ウエハの裏面をグラインディング及びスピネッチングすることによってその厚さを薄型化する工程を更に含み、

前記スペーサは、前記半導体ウエハを薄型化する工程の後に、前記半導体ウエハ上に搭載されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造技術に関し、特に、樹脂封止体の裏面（実装面）からリードの一部を露出することによって得られる外部端子を有する半導体装置に適用して有効な技術に関するものである。

【0002】

【従来の技術】

集積回路が搭載された半導体チップを樹脂封止してなる半導体装置においては、様々なパッケージ構造のものが提案され、製品化されている。その中の1つに、例えばQFN（Quad Flatpack Non-Leaded Package）型と呼称される半導体装置が知られている。このQFN型半導体装置は、半導体チップの電極と電

氣的に接続されたリードを外部端子として樹脂封止体の裏面から露出させたパッケージ構造になっているため、半導体チップの電極と電氣的に接続されたリードを樹脂封止体の側面から突出させて所定の形状に折り曲げ成型したパッケージ構造、例えば Q F P (Quad Flatpack Package) 型と呼称される半導体装置と比較して、平面サイズの小型化を図ることができる。

【 0 0 0 3 】

Q F N 型半導体装置は、その製造においてリードフレームが使用される。リードフレームは、金属板に精密プレスによる打ち抜き加工やエッチング加工を施して所定のパターンを形成することによって製造される。リードフレームは、外枠及び内枠を含むフレーム本体で区画された複数の製品形成領域を有し、各製品形成領域には、半導体チップを搭載するためのチップ搭載部 (タブ, ダイパッド) や、このチップ搭載部の周囲に先端部 (一端部) を臨ませる複数のリード等が配置されている。チップ搭載部は、リードフレームのフレーム本体から延在する吊りリードによって支持されている。リードは、その一端部 (先端部) と反対側の他端部がリードフレームのフレーム本体に支持されている。

【 0 0 0 4 】

このようなリードフレームを使用して Q F N 型半導体装置を製造する場合、リードフレームのチップ搭載部に半導体チップを固定し、その後、半導体チップの電極とリードとを導電性のワイヤで電氣的に接続し、その後、半導体チップ、ワイヤ、支持体、吊りリード等を樹脂封止して樹脂封止体を形成し、その後、リードフレームの不要な部分を切断除去する。

【 0 0 0 5 】

Q F N 型半導体装置の樹脂封止体は、大量生産に好適なトランスファ・モールドディング法 (移送成形法) によって形成される。トランスファ・モールドディング法による樹脂封止体の形成は、成形金型 (モールドディング金型) のキャビティ (樹脂充填部) の内部に、半導体チップ、リード、チップ搭載部、吊りリード、及びボンディングワイヤ等が配置されるように、成形金型の上型と下型との間にリードフレームを位置決めし、その後、成形金型のキャビティの内部に熱硬化性樹脂を注入することによって行われる。

【0006】

なお、QFN型半導体装置については、例えば特開2001-244399号公報（特許文献1）に開示されている。また、同公報には、樹脂封止体の形成方法として、複数の製品形成領域を有するリードフレームを使用し、各製品形成領域に搭載された半導体チップを各製品形成領域毎に樹脂封止する個別方式のトランスファ・モールディング法や、複数の製品形成領域を有するリードフレームを使用し、各製品形成領域に搭載された半導体チップを一括して樹脂封止する一括方式のトランスファ・モールディング法も開示されている。更に、同公報には、パッケージ構造として、チップ搭載部の平面サイズを半導体チップの平面サイズよりも小さくした、所謂小タブ構造も開示されている。

【0007】

【特許文献1】

特開2001-244399号公報

【0008】

【発明が解決しようとする課題】

本発明者は、QFN型半導体装置について検討した結果、以下の問題点を見出した。

【0009】

（1）樹脂封止体の裏面からリードを露出させて外部端子を構成するパッケージ構造は、成形金型のキャビティの内面にリードが接するように、成形金型にリードフレームを位置決めし、その後、成形金型のキャビティの内部に樹脂を注入することによって得られるが、リードの先端部はどこにも支持されておらず、フリーになっているため、キャビティの内部に注入された樹脂の流動によってリードが変動し易い。このモールディング時のリード変動は、キャビティとリードとの密着性を低下させる要因となるため、樹脂封止体の裏面電極（外部端子）となるリード露出部がレジンバリ（レジンフラッシュ）によって覆われてしまうといった不具合が発生し易くなる。このレジンバリによる不具合は、配線基板に半導体装置を半田付け実装する時の信頼性を低下させる要因となる。また、レジンバリを除去するための工程が必要となり、製造コストの増加を招く要因ともなる。こ

のようなレジンバリによる不具合は、以下に示す場合において更に発生し易くなる。

【0010】

QFN型半導体装置においても、半導体チップに搭載される集積回路の高機能化、高性能化に伴って端子数を増やす（多ピンを図る）必要がある。多ピン化は樹脂封止体の平面サイズ（パッケージサイズ）の大型化を招くため、できるだけパッケージサイズを変えずに多ピン化を図る必要がある。パッケージサイズを変えずに多ピン化を図るためには、リードを微細化する必要があるが、リードの微細化に伴って外部端子も微細化されてしまう。外部端子は、実装時の信頼性を確保するために所定の面積が必要であることから、あまり小さくすることができない。従って、パッケージサイズを変えずに多ピン化を図ろうとした場合、端子数をそれほど増やすことができないので、大幅な多ピン化ができない。

【0011】

そこで、外部端子の面積を確保し、パッケージサイズを変えずに多ピン化を図るためには、リードの端子部（外部端子として使用される部分）の幅を選択的に広くし、リードの端子部をリード配列方向に沿って千鳥配列にすることが有効である。しかしながら、このような場合、モールドイング工程において、半導体チップ側に位置する端子部は、リードの他端部側を上下方向からクランプする成型金型のクランプ部から離れるため、成型金型のキャビティの内面とリードの端子部との密着性が低くなる。更に、リードの先端部はフリーになっているため、キャビティの内部に注入された樹脂の流動によってリードが変動し易い。従って、このような場合は、リードの端子部がレジンバリによって覆われてしまうといった不具合が更に発生し易くなる。

【0012】

（2）小タブ構造は、平面サイズが異なる数種類の半導体チップを搭載することができるため、生産性の合理化や低コスト化を図ることができる。しかしながら、平面サイズが異なる数種類の半導体チップを搭載するために、リードのチップ側の先端は、平面サイズが最も大きい半導体チップの外形にあわせて短くカットする必要がある、特に小さい半導体チップの搭載時にはボンディングワイヤの長

さが長くなり、ワイヤ流れによる信頼性低下の懸念がある。

【0 0 1 3】

なお、前述の特許文献 1 では、半導体パッケージ全体の薄型化を図る手段について具体的に論じられていない。また、半導体パッケージの低コスト化を図る手段についても具体的に論じられていない。

【0 0 1 4】

本発明の目的は、半導体装置の実装信頼性の向上を図ることが可能な技術を提供することにある。

【0 0 1 5】

本発明の他の目的は、半導体装置の薄型化を図ることが可能な技術を提供することにある。

【0 0 1 6】

本発明の他の目的は、半導体装置の低コスト化を図ることが可能な技術を提供することにある。

【0 0 1 7】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0 0 1 8】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0 0 1 9】

(1) 樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置において、

前記リードの一端部を半導体チップの裏面に固定し、かつ、前記半導体チップの外側に位置する前記リード部分と前記半導体チップの電極とをワイヤで接続する。

【0 0 2 0】

(2) 前記 (1) において、

前記外部端子は、前記樹脂封止体の側面に沿って配置される第1外部端子と、前記第1外部端子よりも内側に配置され、かつ、前記第1外部端子間に配置された第2外部端子とを有する。

【0021】

(3) 前記(2)において、

前記リードは、更に、その一端部が前記半導体チップの外側に位置する複数の第1リードと、前記複数の第1リードの間に配置され、かつ、その一端部が前記半導体チップの裏面に固定される第2リードとを有し、

前記複数の第1リードの各々は、前記第1外部端子を含み、

前記複数の第2リードの各々は、前記第2外部端子を含む。

【0022】

(4) 前記(1)において、

前記半導体装置は、更に、前記半導体チップの上面に固定され、かつ、前記樹脂封止体の上面からその一部が露出する部材（スペーサ）を含む。

【0023】

(5) 樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置において、

前記リードの一端部を絶縁性基材により固定し、前記絶縁性基材上に半導体チップを固定し、かつ、前記絶縁性基材の外側に位置する前記リード部分と半導体チップの電極とをワイヤで接続する。

【0024】

(6) 前記(5)において、

前記外部端子は、前記樹脂封止体の側面に沿って配置される第1外部端子と、前記第1外部端子よりも内側に配置され、かつ、前記第1外部端子間に配置された第2外部端子とを有する。

【0025】

(7) 前記(6)において、

前記リードは、更に、その一端部が前記絶縁性基材の外側に位置する複数の第1リードと、前記複数の第1リードの間に配置され、かつ、その一端部が前記絶

縁性基材に固定される第 2 リードとを有し、

前記複数の第 1 リードの各々は、前記第 1 外部端子を含み、

前記複数の第 2 リードの各々は、前記第 2 外部端子を含む。

【 0 0 2 6 】

(8) 前記 (5) において、

前記半導体装置は、更に、前記半導体チップの上面に固定され、かつ、前記樹脂封止体の上面からその一部が露出する部材（スペーサ）を含む。

【 0 0 2 7 】

(9) 樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置の製造方法において、

(a) 前記リードの一端部を半導体チップの裏面に固定する工程と、

(b) 前記半導体チップの外側に位置する前記リード部分と前記半導体チップの電極とをワイヤで接続する工程と、

(c) 前記半導体チップの上面上に部材（スペーサ）を形成する工程と、

(d) 前記半導体チップ、前記リード及び前記ワイヤを樹脂封止体により封止する工程とを有し、

前記樹脂封止体は、成形金型のキャビティ内に樹脂を注入するトランスファ・モールドイング法により形成され、

前記樹脂封止体は、前記部材（スペーサ）の一部が前記成形金型のキャビティの内面に接触した状態で前記樹脂を注入することによって形成される。

【 0 0 2 8 】

(1 0) 前記 (9) において、

前記半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記部材（スペーサ）は、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成される。

【 0 0 2 9 】

(1 1) 前記 (1 0) において、

前記部材（スペーサ）は、シリコン片から形成される。

【0030】

(12) 前記(11)において、

前記シリコン片は、シリコンウエハをダイシングすることによって得られる複数のシリコン片の一つであり、

前記シリコンウエハのダイシングに先立って、前記半導体ウエハ上に前記シリコンウエハを張り合わせる工程と、その後、前記シリコンウエハをダイシングする工程を含む。

【0031】

(13) 前記(10)において、

前記部材(スペーサ)は絶縁層により形成され、前記絶縁層は印刷により形成される。

【0032】

(14) 前記(13)において、

前記絶縁層は、ポリイミド層である。

【0033】

(15) 樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置の製造方法において、

- (a) 前記リードの一端部を絶縁性基材に固定する工程と、
- (b) 前記絶縁性基材上に半導体チップを固定する工程と、
- (c) 前記半導体チップの外側に位置する前記リード部分と前記半導体チップの電極とをワイヤで接続する工程と、
- (d) 前記半導体チップの上面に部材(スペーサ)を形成する工程と、
- (e) 前記半導体チップ、前記絶縁性基材、前記リード及び前記ワイヤを樹脂封止体により封止する工程とを有し、

前記樹脂封止体は、成形金型のキャビティ内に樹脂を注入するトランスファ・モールドイング法により形成され、

前記樹脂封止体は、前記部材(スペーサ)の一部が前記成形金型のキャビティの内面に接触した状態で前記樹脂を注入することによって形成される。

【0034】

(16) 配線基板上に複数の半導体チップを搭載する半導体装置の製造方法において、

(a) 各々が集積回路と複数の電極を有する第1及び第2半導体チップを準備する工程と、

(b) 前記配線基板の一主面上に前記第1半導体チップを搭載する工程と、

(c) 前記第1半導体チップ上にスペーサを介して前記第2半導体チップを積層する工程と、

(d) 前記第1及び第2半導体チップの各々の電極と、前記配線基板の一主面上に配置された複数の端子とをワイヤで接続する工程と、

(e) 前記配線基板の一主面上において、前記第1及び第2半導体チップ、及び前記ワイヤを樹脂封止体により封止する工程とを有し、

前記第1半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記スペーサは、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成され、

前記工程(b)は、前記スペーサが形成された前記第1半導体チップを前記配線基板の一主面上に搭載する工程を含む。

【0035】

(17) 前記(16)において、

前記半導体ウエハの裏面をグラインディング及びスピンエッチングすることによってその厚さを薄型化する工程を更に含み、

前記スペーサは、前記半導体ウエハを薄型化する工程の後に、前記半導体ウエハ上に搭載される。

【0036】

(18) リードフレームのチップ搭載部上に複数の半導体チップを搭載する半導体装置の製造方法において、

(a) 各々が集積回路と複数の電極を有する第1及び第2半導体チップを準備する工程と、

(b) 前記チップ搭載部上に前記第1半導体チップを搭載する工程と、

(c) 前記第 1 半導体チップ上にスペーサを介して前記第 2 半導体チップを積層する工程と、

(d) 前記第 1 及び第 2 半導体チップの各々の電極と、前記リードフレームの複数のリードとをワイヤで接続する工程と、

(e) 前記チップ搭載部、前記複数のリードに 1 部、前記第 1 及び第 2 半導体チップ及び前記ワイヤを樹脂封止体により封止する工程とを有し、

前記第 1 半導体チップは、半導体ウエハをダイシングすることによって得られる複数の半導体チップの一つであり、

前記スペーサは、前記半導体ウエハのダイシングに先立って、前記半導体ウエハの状態の前記複数の半導体チップの各々上に形成され、

前記工程 (b) は、前記スペーサが形成された前記第 1 半導体チップを前記チップ搭載部上に搭載する工程を含む。

(19) 前記 (18) において、

前記半導体ウエハの裏面をグラインディング及びスピネッチングすることによってその厚さを薄型化する工程を更に含み、

前記スペーサは、前記半導体ウエハを薄型化する工程の後に、前記半導体ウエハ上に搭載される。

【0037】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を詳細に説明する。なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0038】

(実施形態 1)

本実施形態 1 では、QFN 型半導体装置に本発明を適用した例について説明する。

【0039】

図 1 は、本実施形態 1 の半導体装置の外観を示す模式的平面図（上面図）であり、

図2は、本実施形態1の半導体装置の外観を示す模式的底面図（下面図）であり、

図3は、本実施形態1の半導体装置の内部構造を示す模式的平面図（上面図）であり、

図4は、図3の一部を拡大した模式的平面図であり、

図5は、本実施形態1の半導体装置の内部構造を示す模式的底面図（下面図）であり、

図6は、図5の一部を拡大した模式的底面図であり、

図7は、本実施形態1の半導体装置の内部構造を示す模式的断面図（（a）は図3のa-a線（第1のリード）に沿った断面図、（b）は図3のb-b線（第2のリード）に沿った断面図）である。

【0040】

なお、図3及び図4において、図面を見易くするため、後述するワイヤは一部省略している。

【0041】

本実施形態1の半導体装置1aは、図1乃至図6、並びに図7（（a）、（b））に示すように、半導体チップ2、複数のリード5からなる第1乃至第4のリード群、複数のボンディングワイヤ7、及び樹脂封止体8等を有するパッケージ構造になっている。半導体チップ2、第1乃至第4のリード群の複数のリード5、並びに複数のボンディングワイヤ7等は、樹脂封止体8によって封止されている。

【0042】

半導体チップ2は、図3に示すように、その厚さ方向と交差する平面形状が方形形状になっており、本実施形態では例えば正方形になっている。半導体チップ2は、これに限定されないが、例えば、半導体基板、この半導体基板の主面に形成された複数のトランジスタ素子、前記半導体基板の主面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）等を有する構成になっている。絶縁層は、例えば酸化シリコン膜で形成されている。配線層は、例えばアルミニウム（Al）、

又はアルミニウム合金、又は銅（Cu）、又は銅合金等の金属膜で形成されている。表面保護膜は、例えば、酸化シリコン膜又は窒化シリコン膜等の無機絶縁膜及び有機絶縁膜を積み重ねた多層膜で形成されている。

【0043】

半導体チップ2は、図3及び図7（（a）、（b））に示すように、互いに反対側に位置する主面（回路形成面）2x及び裏面2yを有し、半導体チップ2の主面2x側には集積回路が構成されている。集積回路は、主に、半導体基板の主面に形成されたトランジスタ素子、及び多層配線層に形成された配線によって構成されている。

【0044】

半導体チップ2の主面2xには、複数のボンディングパッド（電極）3が形成されている。複数のボンディングパッド3は、半導体チップ2の各辺に沿って配置されている。複数のボンディングパッド3は、半導体チップ2の多層配線層のうちの最上層の配線層に形成され、各々のボンディングパッド3に対応して半導体チップ2の表面保護膜に形成されたボンディング開口によって露出されている。

【0045】

樹脂封止体8は、図1乃至図3に示すように、厚さ方向と交差する平面形状が方形状になっており、本実施形態では例えば正方形になっている。樹脂封止体8は、図1、図2及び図7に示すように、互いに反対側に位置する主面（上面）8x及び裏面（下面、実装面）8yを有し、樹脂封止体8の平面サイズ（外形寸法）は、半導体チップ2の平面サイズ（外形寸法）よりも大きくなっている。

【0046】

樹脂封止体8は、低応力化を図る目的として、例えば、フェノール系硬化剤、シリコーンゴム及びフィラー等が添加されたビフェニール系の熱硬化性樹脂で形成されている。樹脂封止体8の形成方法としては、大量生産に好適なトランスファ・モールディング法を用いている。トランスファ・モールディング法は、ポット、ランナー、樹脂注入ゲート、及びキャビティ等を備えた成形金型（モールディング金型）を使用し、ポットからランナー及び樹脂注入ゲートを通してキャビ

ティの内部に熱硬化性樹脂を注入して樹脂封止体を形成する方法である。

【0047】

樹脂封止型半導体装置の製造においては、複数の製品形成領域を有するリードフレームを使用し、各製品形成領域に搭載された半導体チップを各製品形成領域毎に樹脂封止する個別方式のトランスファ・モールディング法や、複数の製品形成領域を有するリードフレームを使用し、各製品形成領域に搭載された半導体チップを一括して樹脂封止する一括方式のトランスファ・モールディング法が採用されている。本実施形態 1 の半導体装置 1 a の製造では、個別方式のトランスファ・モールディング法を採用している。

【0048】

第 1 乃至第 4 のリード群は、図 3 及び図 4 に示すように、樹脂封止体 8 の 4 辺に対応して配置され、各リード群の複数のリード 5 は、樹脂封止体 8 の辺に沿って配列されている。また、各リード群の複数のリード 5 は、樹脂封止体 8 の側面 8 z 側から半導体チップ 2 に向かって延在している。

【0049】

半導体チップ 2 の複数のボンディングパッド 3 は、第 1 乃至第 4 のリード群の複数のリード 5 と夫々電氣的に接続されている。本実施形態 1 において、半導体チップ 2 のボンディングパッド 3 とリード 5 との電氣的な接続は、ボンディングワイヤ 7 で行われており、ボンディングワイヤ 7 の一端部は、半導体チップ 2 のボンディングパッド 3 に接続され、ボンディングワイヤ 7 の一端部と反対側の他端部は、半導体チップ 2 の外側（周囲）において、リード 5 に接続されている。ボンディングワイヤ 7 としては、例えば金 (Au) ワイヤを用いている。また、ワイヤ 7 の接続方法としては、例えば熱圧着に超音波振動を併用したネイルヘッドボンディング（ボールボンディング）法を用いている。

【0050】

図 3 乃至図 6、並びに図 7（（a），（b））に示すように、各リード群の複数のリード 5 は、一端部側（半導体チップ 2 に近い側）と反対側の他端部側（樹脂封止体 8 の側面 8 z に近い側）に端子部 6 が設けられた複数のリード 5 a 及び複数のリード 5 b を含んでいる。リード 5 b の端子部 6 b は、樹脂封止体 8 の側

面 8 z (周縁) の近傍に配置され、リード 5 a の端子部 6 a は、リード 5 b の端子部 6 b よりも内側、換言すれば、リード 5 a の端子部 6 a よりも樹脂封止体 8 の側面 8 z (周縁) から離れた位置に配置されている。即ち、図 7 ((a), (b)) に示すように、樹脂封止体 8 の側面 8 z (周縁) から内側に離間する端子部 6 a の距離 L 1 は、樹脂封止体 8 の側面 8 z (周縁) から内側に離間する端子部 6 b の距離 L 2 よりも長くなっている。

【0051】

図 7 ((a), (b)) に示すように、端子部 (6 a, 6 b) 6 は、リード (5 a, 5 b) 5 と一体に形成されており、端子部 6 を除くリード 5 の他の部分の厚さは、端子部 6 よりも薄くなっている (端子部 6 の厚さ > 他の分部の厚さ)。また、図 4 に示すように、端子部 (6 a, 6 b) 6 の幅 6 W は、リード 5 の一端部側と反対側の他端部側における終端分部での幅 5 W よりも広がっている。

【0052】

図 3 及び図 4 に示すように、各リード群の複数のリード 5 は、リード 5 a とリード 5 b とが互いに隣り合うようにリード 5 a 及びリード 5 b を一方向に沿って (樹脂封止体 8 の辺に沿って) 交互に繰り返し配置した構成になっている。

【0053】

図 2 及び図 7 ((a), (b)) に示すように、リード (5 a, 5 b) 5 の端子部 (6 a, 6 b) 6 は、樹脂封止体 8 の裏面 8 y から露出し、外部端子として用いられている。端子部 6 の先端部には、例えばメッキ法、若しくは印刷法によって形成された半田層 9 が設けられている。本実施形態 1 の半導体装置 1 a は、これらの接続部 (5 a, 5 b) を配線基板の電極 (フットプリント, ランド, パッド) に半田付けすることによって実装される。

【0054】

各リード群において、複数のリード 5 の夫々の端子部 6 は、図 2 乃至図 6 に示すように、樹脂封止体 8 の辺に沿って千鳥状に 2 列配置されている。樹脂封止体 8 の辺に最も近い 1 列目の列は端子部 5 b で構成され、1 列目よりも内側に位置する 2 列目の列は端子部 5 a で構成されている。図 2 及び図 4 に示すように、1 列目の端子部 5 b の配列ピッチ P 2、及び 2 列目の端子部 5 a の配列ピッチ P 1

は、リード5の他端部側の終端部における配列ピッチ5Pよりも広がっている。
。

【0055】

本実施形態1において、端子部5bの配列ピッチP2及び端子部5aの配列ピッチP1は、例えば650 [μ m] 程度であり、リード5の他端部側の終端部における配列ピッチ5Pは、例えば650 [μ m] 程度である。また、端子部(6a, 6b)の幅6Wは、例えば300 [μ m] 程度であり、リード(5a, 5b)の他端部側の終端部における幅5Wは、例えば200 [μ m] 程度である。また、樹脂封止体8の側面8z(周縁)から内側に離間する端子部6aの距離L1は、800 [μ m] 程度であり、樹脂封止体8の側面8z(周縁)から内側に離間する端子部6bの距離L2は、例えば250 [μ m] 程度である。また、端子部(6a, 6b)の厚さは、例えば125 [μ m] ~ 150 [μ m] 程度であり、端子部6を除くリード5の他の部分の厚さは、例えば65 [μ m] ~ 75 [μ m] 程度である。

【0056】

本実施形態1の半導体装置1aは、前述したように、樹脂封止体8の裏面8yから露出し、外部端子として使用される端子部6bが設けられたリード5bと、樹脂封止体8の裏面8yから露出し、外部端子として使用され、かつ端子部6bよりも内側に位置する端子部6aが設けられたリード5aとを有し、

リード5aとリード5bは、互いに隣り合うようにして樹脂封止体8の辺に沿って交互に繰り返し配置され、

端子部(6a, 6b)の幅6Wは、リード(5a, 5b)の他端部側の終端部における幅5Wよりも広がっている。

このようなパッケージ構造にすることにより、リード(5a, 5b)を微細化しても、実装時の信頼性を確保するために必要な端子部(6a, 6b)の面積を確保できるため、パッケージサイズを変えることなく、多ピン化を図ることができる。

【0057】

図5及び図6、並びに図7((a), (b))に示すように、リード5aの一

端部側は、接着材 4 を介在して半導体チップ 2 の裏面 2 y に接着固定され、その一端部側と反対側の他端部側は、樹脂封止体 8 の側面 8 z (周縁) で終端している。リード 5 b の一端部側は、半導体チップ 2 の外側 (周囲) で終端し、その一端部側と反対側の他端部側は、樹脂封止体 8 の側面 8 z (周縁) で終端している。即ち、本実施形態 1 の半導体装置 1 a は、リード 5 b の端子部 6 b よりも内側に端子部 6 a が位置するリード 5 a の一端部側を半導体チップ 2 の裏面 2 y に接着材 4 を介在して接着固定したパッケージ構造になっている。接着材 4 としては、例えば樹脂層の両面に接着層が設けられたポリイミド系の絶縁性樹脂フィルムを用いている。この絶縁性樹脂フィルムは、例えば半導体チップ 2 の裏面 2 y を覆うようにして設けられている。

【0058】

次に、半導体装置 1 a の製造に使用されるリードフレームについて、図 8 及び図 9 を用いて説明する。

【0059】

図 8 は、本実施形態 1 の半導体装置の製造に用いられるリードフレームの全体を示す模式的平面図であり、

図 9 は、図 8 の一部を拡大した模式的平面図である。

【0060】

図 9 に示すように、リードフレーム L F は、例えば、外枠部 2 1 及び内枠部 2 2 を含むフレーム本体 (支持体) 2 0 で区画された複数の製品形成領域 (デバイス形成領域) 2 3 を行列状に配置した多連構造になっている。各製品形成領域 2 3 には、図 9 に示すように、複数のリード 5 からなる第 1 乃至第 4 のリード群が配置されている。製品形成領域 2 3 の平面形状は方形状になっており、第 1 乃至第 4 のリード群は製品形成領域 2 3 を囲むフレーム本体 2 0 の 4 つの部分に対応して配置されている。各リード群の複数のリード 5 は、複数のリード 5 a 及び 5 b を含み、リード 5 a とリード 5 b とが互いに隣り合うようにリード 5 a 及びリード 5 b を一方向に沿って交互に繰り返し配置した構成になっている。また、各リード群の複数のリード 5 は、フレーム本体 2 0 の対応する部分 (外枠部 2 1, 内枠部 2 2) に一体的に連結されている。また、各リード群の複数のリード 5 は

、ボンディングワイヤとのボンダビリティを高めるため、各々のワイヤ接続部に例えば銀 (A g) を主成分とするメッキ層が設けられている。

【0061】

リードフレーム L F を製造するには、まず、板厚が $125 [\mu\text{m}] \sim 150 [\mu\text{m}]$ 程度の、銅 (C u) 、又は C u 合金、又は鉄 (F e) - ニッケル (N i) 合金等からなる金属板を準備し、リード 5 を形成する箇所の片面をフォトリジスト膜で被覆する。また、端子部 6 を形成する箇所は、両面をフォトリジスト膜で被覆する。そして、この状態で金属板を薬液によってエッチングし、片面がフォトリジスト膜で被覆された領域の金属板の板厚を例えば半分程度 ($65 [\mu\text{m}] \sim 75 [\mu\text{m}]$) まで薄くする (ハーフエッチング)。このような方法でエッチングを行うことにより、両面共にフォトリジスト膜で被覆されていない領域の金属板は完全に消失し、片面がフォトリジスト膜で被覆された領域に厚さ $65 [\mu\text{m}] \sim 75 [\mu\text{m}]$ 程度のリード 5 が形成される。また、両面がフォトリジスト膜で被覆された領域の金属板は薬液によってエッチングされないので、エッチング前と同じ厚さ ($125 [\mu\text{m}] \sim 150 [\mu\text{m}]$) を有する突起状の端子部 6 が形成される。次に、フォトリジスト膜を除去し、その後、リード 5 の一端部側のワイヤ接続面にメッキ層を形成することによって、図 8 及び図 9 に示すリードフレーム L F が完成する。

【0062】

次に、半導体装置 1 a の製造に使用される成形金型について、図 12 及び図 13 を用いて説明する。

【0063】

図 12 は、半導体装置の製造工程中のモールドイング工程において、成形金型にリードフレームを位置決めした状態を示す模式的断面図 ((a) は第 1 のリードに沿った断面図, (b) は第 2 のリードに沿った断面図) であり、

図 13 は、半導体装置の製造工程中のモールドイング工程において、成形金型にリードフレームを位置決めした状態を示す模式的平面図である。

【0064】

図 12 及び図 13 に示すように、成形金型 25 は、これに限定されないが、上

下に分割された上型 25 a 及び下型 25 b を有し、更に、ポット、カル部、ランナー、樹脂注入ゲート、キャビティ 26、エアーベント等を有する構成になっている。成形金型 25 は、上型 25 a の合わせ面と、下型 25 b の合わせ面との間にリードフレーム L F を位置決めする。樹脂が注入されるキャビティ 26 は、上型 25 a の合わせ面と下型 25 b の合わせ面とを向かい合わせた時、上型 25 a 及び下型 25 b によって構成される。本実施形態 1 において、成形金型 25 のキャビティ 26 は、これに限定されないが、例えば上型 25 a に設けられた凹部及び下型 25 b に設けられた凹部によって構成される。キャビティ 26 は、リードフレーム L F の複数の製品形成領域 23 に対応して複数設けられている。

【0065】

次に、半導体装置 1 a の製造について、図 10 乃至図 16 を用いて説明する。

【0066】

図 10 は、半導体装置の製造工程中のチップ搭載工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）であり、

図 11 は、半導体装置の製造工程中のワイヤボンディング工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）であり、

図 14 は、半導体装置の製造工程中のモールドイング工程において、成形金型のキャビティの内部に樹脂を注入した状態を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）であり、

図 15 は、半導体装置の製造において、モールドイング工程後のリードフレームの模式的平面図であり、

図 16 は、半導体装置の製造において、半田層形成工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0067】

まず、図 8 及び図 9 に示すリードフレーム L F を準備し、その後、図 10 （（a），（b））に示すように、リードフレーム L F に半導体チップ 2 を接着固定

する。リードフレーム L F と半導体チップ 2 との接着固定は、接着材 4 を介在して、半導体チップ 2 の裏面 2 y にリード 5 a の一端部側を接着固定することによって行われる。この工程において、半導体チップ 2 の接着固定は、ヒートステージ 27 a にリードフレーム L F を装着した状態で行われるが、リードフレーム L F の裏面には突起状の端子部 6 が位置するため、ヒートステージ 27 a には端子部 6 と対向する箇所に凹部 28 を設けておくといよい。このようにすると、リードフレーム L F を安定して支持することができるため、半導体チップ 2 を搭載する際にリード 5 が変形したり、半導体チップ 2 の位置がずれたりする不具合を抑制することができる。

【0068】

次に、図 11 ((a) , (b)) に示すように、半導体チップ 2 の主面 2 x に配置された複数のボンディングパッド 3 と複数のリード 5 とを複数のボンディングワイヤ 7 で夫々電氣的に接続する。この工程においても、ヒートステージ 27 b にリードフレーム L F を装着した状態で行われるため、ヒートステージ 27 b には端子部 6 と対向する箇所に凹部 28 を設けておくといよい。このようにすると、ワイヤボンディングを行う際にリード 5 が変形したり、ボンディングワイヤ 7 の位置がずれたりする不具合を抑制することができる。

【0069】

次に、図 12 ((a) , (b)) 及び図 13 に示すように、成形金型 25 の上型 25 a と下型 25 b との間にリードフレーム L F を位置決めする。

【0070】

リードフレーム L F の位置決めは、各々のキャビティ 26 の内部に、各々の製品形成領域 23 の半導体チップ 2、リード 5、ボンディングワイヤ 7 等が位置する状態で行われる。

また、リードフレーム L F の位置決めは、リード (5 a, 5 b) 5 の他端部側を上型 25 a の合わせ面及び下型 25 b の合わせ面で上下方向から挟み込み、リード (5 a, 5 b) 5 の端子部 (6 a, 6 b) 6 をキャビティ 26 の内面に接触させた状態で行われる。

【0071】

次に、前述のようにリードフレーム L F を位置決めした状態で、図 14 に示すように、成形金型 25 のポットからカル部、ランナー及び樹脂注入ゲートを通してキャビティ 26 の内部に例えば熱硬化性の樹脂を注入して樹脂封止体 8 を形成する。半導体チップ 2、複数のリード 5、複数のボンディングワイヤ 7 等は、樹脂封止体 8 によって封止される。

【0072】

この工程において、樹脂封止体 8 の裏面 8 y からリード 5 の端子部 6 を露出させたパッケージが形成される。

【0073】

次に、成形金型 25 からリードフレーム L F を取り出す。本実施形態 1 の半導体装置 1 a の製造では、複数の製品形成領域 23 を有するリードフレーム L F を使用し、製品形成領域 23 に搭載された半導体チップ 2 毎に樹脂封止する個別方式のトランスファ・モールディング法を採用している。従って、図 15 に示すように、樹脂封止体 8 は、リードフレーム L F の製品形成領域 23 毎に形成される。

【0074】

次に、図 16 に示すように、樹脂封止体 8 の裏面 8 y から露出する端子部 6 の表面に半田層 9 を、例えばメッキ法、若しくは印刷法によって形成し、その後、樹脂封止体 8 の主面 8 x に製品名等のマークを印刷した後、フレーム本体 20 からリード 5 を分離する切断工程、リードフレーム L F の不要な部分を分離する切断工程等を施すことにより、本実施形態 1 の半導体装置 1 a がほぼ完成する。

【0075】

半導体装置 1 a の製造工程中のモールディング工程において、図 12 に示すように、リード 5 a の一端部側は、半導体チップ 2 の裏面 2 y に接着固定されている。このような状態でキャビティ 26 の内部に樹脂を注入すると、キャビティ 26 の内部に注入された樹脂の流動によって生じるリード 5 a の変動を抑制することができるため、キャビティ 26 の内面とリード 5 a の端子部 6 a との密着性の低下を抑制でき、樹脂封止体 8 の裏面電極（外部端子）となるリード 5 a の端子部 6 a がレジンバリ（レジンフラッシュ）によって覆われてしまうといった不具

合を抑制することができる。

【0076】

一方、リードフレーム L F の位置決めは、リード (5 a, 5 b) 5 の他端部側を上型 25 a の合わせ面及び下型 25 b の合わせ面で上下方向から挟み込み、リード (5 a, 5 b) 5 の端子部 (6 a, 6 b) 6 をキャビティ 26 の内面に接触させた状態で行われる。このようにすると、リードフレーム L F を構成する金属板のバネ力によって、リード 5 の端子部 6 がキャビティ 26 の内面を押圧する力が働き、キャビティ 26 の内面にリード 5 の端子部 6 が密着する。しかしながら、この押圧力は、リード 5 の他端部側を挟み込む成型金型 25 のクランプ部 (キャビティ 26 の周縁) から遠ざかるにつれて弱くなるため、端子部 6 b よりも成型金型のクランプ部から離れた端子部 6 a の方が、キャビティ 26 の内面を押圧する力が弱くなる。即ち、成型金型 25 のクランプ部から端子部 5 b よりも遠い端子部 5 a は、キャビティ 26 との密着性が低下し、端子部 6 a がレジンバリによって覆われてしまうといった不具合が発生し易くなる。

【0077】

これに対し、本実施形態 1 では、半導体チップ 2 の裏面 2 y にリード 5 a の一端部側を接着固定している。このようにすると、キャビティ 26 の内面に働く端子部 6 a の押圧力の低下を抑制することができるため、キャビティ 26 の内面とリード 5 a の端子部 6 a との密着性の低下を抑制でき、樹脂封止体 8 の裏面電極 (外部端子) となるリード 5 a の端子部 6 a がレジンバリ (レジンフラッシュ) によって覆われてしまうといった不具合を抑制することができる。

【0078】

従って、半導体チップ 2 の裏面 2 y にリード 5 の一端部側を接着固定しておくことにより、樹脂の流れに起因するレジンバリの発生、及び成型金型 25 のクランプ部からの距離に起因するレジンバリの発生を抑制することができる。この結果、配線基板に半導体装置を半田付け実装する時の信頼性の向上を図ることができる。また、レジンバリを除去するための工程が不要となるため、実装時の信頼性が高い半導体装置を低コストで製造することができる。

【0079】

また、半導体チップ2の裏面2yにリード5aの一端部側を固定する方法では、平面サイズが異なる数種類の半導体チップをリードフレームLFに搭載することができるため、生産性の合理化や低コスト化を図ることができる。また、平面サイズが異なる数種類の半導体チップを搭載するために、リードの先端は、平面サイズが最も大きい半導体チップの外形にあわせてリードの先端を短くカットする必要がないため、半導体チップの外形に応じて、ボンディングワイヤ7の長さを選定することができ、キャビティ26に注入された樹脂の流動に起因するワイヤ流れを抑制することができる。

【0080】

なお、本実施形態1において、リード5bの一端部は、半導体チップ2の裏面に接着固定されておらず、半導体チップ2の外側で終端している。全リードを半導体チップ2の裏面に固定することが最も望ましいが、リード本数が多い場合、全リード5を半導体チップ2の裏面2yに固定することは困難である。これは、リード5の一端部側の配列ピッチを他端部側の配列ピッチよりも狭くする必要がある、リード加工に限界があるためである。従って、リード本数が多い場合は、本実施形態1のように、レジソバリの発生条件が最も悪い端子部6aを有するリード5aを選択して半導体チップ2の裏面に固定することが望ましい。

【0081】

(変形例)

図17は、実施形態1の変形例である半導体装置の内部構造を示す模式的断面図((a)は第1のリードに沿った断面図、(b)は第2のリードに沿った断面図)である。

【0082】

前述の実施形態1では、リード5bの端子部6bよりも内側(半導体チップ2側)に端子部6aが位置するリード5aの一端部を半導体チップ2の裏面に固定した例について説明したが、図17((a)、(b))に示すように、リード5aと同様に、リード5bにおいても一端部側を半導体チップ2の裏面2yに接着固定するようにしてもよい。この場合、端子部6aよりも外側に位置する端子部

6bにおいても、レジバリによる不具合を抑制することができる。

【0083】

(実施形態2)

図18は、本実施形態2の半導体装置の内部構造を示す模式的断面図((a)は第1のリードに沿った断面図、(b)は第2のリードに沿った断面図)である。

【0084】

図18に示すように、本実施形態2の半導体装置1bは、基本的に前述の実施形態1と同様の構成になっており、以下の構成が異なっている。

【0085】

即ち、本実施形態2の半導体装置1bは、半導体チップ2を支持する基材(支持基材)10を有し、基材10の主面に接着材4を介在して半導体チップ2が接着固定され、更に、基材10の主面と反対側の裏面に接着材を介在してリード5(5a, 5b)の一端部側が接着固定されたパッケージ構造になっている。基材10としては、半導体チップ2とリード5aとの耐絶縁性を考慮して、例えば樹脂テープ等の絶縁性基材を用いることが望ましいが、放熱性を考慮した場合、熱伝導率が高い金属材料からなる金属製基材を用いてもよい。但し、導電性の金属製基材を用いる場合、基材10とリード5aとの接着、基材10と半導体チップ2との接着には、絶縁性接着材を用いる必要がある。

【0086】

このようなパッケージ構造は、製造工程において、リード5の一端部側に基材10が接着固定されたリードフレームを用いること、又は、リード5の一端部側に基材10を接着固定し、その後、基材10に半導体チップ2を接着固定することによって得られる。

【0087】

このようなパッケージ構造においても、前述の実施形態1と同様の効果が得られる。

【0088】

(実施形態3)

図19は、本実施形態3の半導体装置の内部構造を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【0089】

図19に示すように、本実施形態3の半導体装置1cは、基本的に前述の実施形態2と同様の構成になっており、以下の構成が異なっている。

【0090】

即ち、本実施形態3の半導体装置1cは、半導体チップ2の周囲（半導体チップ2の外側）において、基材10の主面（半導体チップ2が固定された面：チップ固定面）に、リード（5a，5b）5の一端部側が接着固定されたパッケージ構造になっている。また、リード5は、第1の部分S1と、この第1の部分S1から樹脂封止体8の裏面8y側に折れ曲がる第2の部分S2と、この第2の部分S2から樹脂封止体8の側面8zに向かって延びる第3の部分S3とを有する構成になっており、第1の部分S1は、基材10の主面に接着固定され、第3の部分S3には、端子部6が設けられている。換言すれば、リード5は、基材10の主面に接着固定される第1の部分S1が、端子部6を有する第3の部分S3よりも、樹脂封止体8の主面側に位置するように構成されている。このようなリード5は、金属板に打ち抜き加工やエッチング加工を施して所定のパターンを形成した後、折り曲げ加工を施すことによって形成することができる。

【0091】

このようなパッケージ構造においても、前述の実施形態1と同様の効果が得られる。

【0092】

また、リード5の剛性が高くなるため、モールドイング工程において、成形金型のキャビティの内面にリード5の端子部6を押し付ける力が向上する。

【0093】

また、リード5の先端部側の厚さが半導体チップ2の厚さで吸収されるため、前述の実施形態2のように、基材10の裏面（半導体チップ2が固定された面と反対側の面）にリード5の一端部側を接着固定する場合と比較して、半導体装置

の薄型化を図ることができる。

【0094】

また、リード5において、基材10の主面に接着固定された第1の部分S1は、端子部6が設けられた第3の部分S3よりも樹脂封止体8の主面側に位置しているため、半導体装置の厚さを厚くすることなく、基材10の厚さを厚くすることができる。また、図示していないが、樹脂封止体8の裏面から基材10を露出させることもできる。

【0095】

(実施形態4)

図20は、本実施形態4の半導体装置の内部構造を示す模式的断面図((a)は第1のリードに沿った断面図、(b)は第2のリードに沿った断面図)である。

【0096】

図20に示すように、本実施形態4の半導体装置1dは、基本的に前述の実施形態3と同様の構成になっており、以下の構成が異なっている。

【0097】

即ち、本実施形態4の半導体装置1dは、基材10の主面と反対側の裏面に接着材4を介在して半導体チップ2の裏面2yが接着固定され、半導体チップ2の周囲において、基材10の裏面に接着材を介在してリード5の第1の部分S1が接着固定されたパッケージ構造になっており、半導体チップ2は、その主面2xが樹脂封止体8の裏面8y側に位置する状態で樹脂封止されている。

【0098】

このようなパッケージ構造においても、前述の実施形態3と同様の効果が得られる。

【0099】

(実施形態5)

図21は、本実施形態5の半導体装置の内部構造を示す模式的断面図((a)は第1のリードに沿った断面図、(b)は第2のリードに沿った断面図)である。

【0 1 0 0】

図 2 1 に示すように、本実施形態 5 の半導体装置 1 e は、基本的に前述の実施形態 1 の変形例と同様の構成になっており、以下の構成が異なっている。

【0 1 0 1】

即ち、本実施形態 5 の半導体装置 1 e は、半導体チップ 2 の下に端子部 5 a が配置され、半導体チップ 2 の周囲に端子部 5 b が配置されたパッケージ構造になっている。このようなパッケージ構造は、比較的リード本数が少ない場合や、大型の半導体チップを搭載する場合に適用することができる。

【0 1 0 2】

このようなパッケージ構造においても、モールドイング工程において、リード 5 の端子部 6 が成形金型のキャビティの内面にしっかり押さえ付けられるため、前述の実施形態 1 と同様の効果が得られる。

【0 1 0 3】

(実施形態 6)

前述の実施形態 1 では、個別方式のトランスファ・モールドイング法を用いて半導体装置を製造する例について説明したが、本実施形態 6 では、一括方式のトランスファ・モールドイング法で半導体装置を製造する例について説明する。

【0 1 0 4】

図 2 2 は、本実施形態 6 の半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0 1 0 5】

図 2 2 に示すように、本実施形態 6 の半導体装置 1 f は、基本的に前述の実施形態 1 と同様の構成になっており、以下の構成が異なっている。

【0 1 0 6】

即ち、樹脂封止体 8 は、その主面 8 x と裏面 8 y との外形サイズがほぼ同一になっており、樹脂封止体 8 の側面 8 z は、その主面 8 x 及び裏面 8 y に対してほぼ垂直になっている。また、リード 5 a 及び 5 b を含む複数のリード 5 は、その一端部側が接着材 4 を介在して半導体チップ 2 の裏面 2 y に接着固定されている。

。また、半導体チップ 2 の主面 2 x には、接着材 1 2 を介在してスペーサ 1 1 が接着固定されており、スペーサ 1 1 は、半導体チップ 2 の主面 2 x に接着固定された面と反対側の面が樹脂封止体 8 の主面（上面） 8 x から露出している。

【0 1 0 7】

本実施形態 6 の半導体装置 1 f の製造においては、一括方式のトランスファ・モルディング法が採用されている。従って、後で詳細に説明するが、半導体装置 1 f は、リードフレームの複数の製品形成領域に夫々搭載された半導体チップを一括して樹脂封止する樹脂封止体を形成した後、リードフレーム及び樹脂封止体をリードフレームの製品形成領域毎に分割（個片化）することによって製造される。

【0 1 0 8】

以下、半導体装置 1 f の製造について、図 2 3 乃至図 2 7 を用いて説明する。

【0 1 0 9】

図 2 3 は、本実施形態 6 の半導体装置の製造工程を示す模式的断面図（（A）はチップ搭載工程，（B）はスペーサ搭載工程，（C）はワイヤボンディング工程）であり、

図 2 4 は、本実施形態 6 の半導体装置の製造工程中のモルディング工程において、成形金型にリードフレームを位置決めした状態を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）であり、

図 2 5 は、本実施形態 6 の半導体装置の製造工程中のモルディング工程において、成形金型にリードフレームを位置決めした状態を示す模式的平面図であり、
図 2 6 は、本実施形態 6 の半導体装置の製造において、モルディング工程後のリードフレームの模式的平面図であり、

図 2 7 は、本実施形態 6 の半導体装置の製造において、樹脂封止体を個片化した状態を示す模式的平面図である。

【0 1 1 0】

まず、図 8 及び図 9 に示すリードフレーム L F を準備し、その後、図 2 3 （A）に示すように、リードフレーム L F に半導体チップ 2 を接着固定する。リード

フレーム L F と半導体チップ 2 との接着固定は、接着材 4 を介在して、半導体チップ 2 の裏面 2 y にリード 5 の一端部側を接着固定することによって行われる。

【0111】

次に、図 23 (B) に示すように、半導体チップ 2 の主面 2 x に接着材 12 を介在してスペーサ 11 を接着固定する。

【0112】

次に、図 23 (C) に示すように、半導体チップ 2 の主面 2 x に配置された複数のボンディングパッド 3 と複数のリード 5 とを複数のボンディングワイヤ 7 で夫々電氣的に接続する。

【0113】

次に、図 24 ((a), (b)) 及び図 25 に示すように、成形金型 30 の上型 30 a と下型 30 b との間にリードフレーム L F を位置決めする。

【0114】

リードフレーム L F の位置決めは、複数の製品形成領域 23 が 1 つのキャビティ 31 の内部に位置する状態、即ち、各製品形成領域 23 の半導体チップ 2、リード 5、ボンディングワイヤ 7 等が 1 つのキャビティ 31 の内部に位置する状態で行われる。

【0115】

また、リードフレーム L F の位置決めは、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティ 31 の内面に接触させ、スペーサ 11 の上面をこの上面と向かい合うキャビティ 31 の内面に接触させた状態で行われる。

【0116】

スペーサ 11 としては、成型金型 30 にリードフレーム L F を位置決めした時、リード 5 が若干撓む程度の厚さのスペーサを選定することが望ましい。また、スペーサ 11 としては、側面が半導体チップ 2 のボンディングパッド 3 よりも内側に位置する外形サイズのスペーサを選定することが望ましい。また、スペーサ 11 としては、熱膨張係数の違いによる半導体チップ 2 の損傷を考慮して、半導体チップ 2 の熱膨張係数に近い材料からなるスペーサを選定することが望ましい。また、スペーサ 11 としては、樹脂封止体からボンディングワイヤ 7 が露出す

るモールドイング不良を考慮して、ボンディングワイヤ7のループ高さ（半導体チップ2の主面2xからワイヤの最頂部までの高さ）よりも厚いスペーサを選定することが望ましい。

【0117】

次に、前述のようにリードフレームLFを位置決めした状態で、成形金型30のポットからカル部、ランナー及び樹脂注入ゲートを通してキャビティ31の内部に例えば熱硬化性の樹脂を注入して樹脂封止体32を形成する。各製品形成領域23の半導体チップ2、複数のリード4、複数のボンディングワイヤ7等は、図25に示すように、樹脂封止体32によって封止される。

【0118】

次に、成形金型30からリードフレームLFを取り出し、その後、各製品形成領域23において樹脂封止体32の裏面から露出する端子部6の表面に半田層9を、例えばメッキ法、若しくは印刷法によって形成し、その後、リードフレームLF及び樹脂封止体32を例えばダイシングによって各形成領域23毎に分割して個片の樹脂封止体8を形成することにより、図22に示す本実施形態6の半導体装置1fがほぼ完成する。

【0119】

本実施形態6の製造では、図24及び図25に示すように、成形金型30にリードフレームLFを位置決めする際、リード5の一端部側は半導体チップ2の裏面2yに固定され、リード5の他端部側に設けられた端子部6はこの端子部6と向かい合うキャビティ31の内面に接触し、半導体チップ2の主面2xに固定されたスペーサ11は、このスペーサ11と向かい合うキャビティ31の内面に接触しているため、キャビティ31の内部に注入された樹脂によって生じるリード5の変動を前述の実施形態1の場合と比較して更に抑制することができる。また、成形金型30のクランプ力がキャビティ31の内面にリード5の端子部6を押し付ける押圧力として働くため、キャビティ31の内面とリード5の端子部6との密着性が向上する。従って、本実施形態6では、リード5の端子部6がレジンバリによって覆われてしまうといった不具合を更に抑制することができる。

【0120】

特に、一括方式のトランスファ・モールディング法の場合、リードフレーム L F のフレーム本体 20 のうち、複数の製品形成領域 23 を囲む外枠部 21 は、成形金型 30 の上型 30 a と下型 30 b との間に挟み込まれる（挟持固定される）が、製品形成領域 23 間に位置する内枠部 22 のほとんどは、成形金型 30 の上型と下型との間に挟み込まれない（挟持固定されない）ため、製品形成領域 23 間に位置するリード 5 は、キャビティ 31 の周縁に配置されたリード 5 と比較して、キャビティ 31 の内部に注入された樹脂の流動によってリード変動が発生しやすい。従って、本発明は、一括方式のトランスファ・モールディング法に特に有効である。また、本実施形態 6 の一括方式のトランスファ・モールディング法においても、キャビティ 31 の周縁からリード 5 の外部端子 6 が離れるにつれて発生し易くなるレジンバリを抑制することができる。

【0121】

（変形例）

図 28 は、実施形態 6 の変形例である半導体装置の製造工程中のモールディング工程において、成形金型にリードフレームを位置決めした状態を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0122】

前述の実施形態 6 では、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティ 31 の内面に接触させ、スペーサ 11 の上面をこの上面と向かい合うキャビティ 31 の内面に接触させた状態でキャビティ 31 の内部に樹脂を注入して樹脂封止体を形成する例について説明したが、図 28 に示すように、リードフレーム L F と成形金型 30 の下型 30 b との間、及び半導体チップ 2 の主面 2 x に設けられたスペーサ 11 と成形金型 30 の上型 30 a との間の両方、或いはこれらの間の何れか一方に、シート 13 を介在させた状態でキャビティ 31 の内部に樹脂を注入して樹脂封止体を形成してもよい。この方法は、一般的にシートモールディング法と呼ばれている。シート 13 としては、成形金型 30 のクランプ力によって容易に押し潰すことができ、更に樹脂を熱硬化させるときの温度に耐える例えば樹脂製のシートを選定することが望ましい。

【0123】

なお、成形金型のキャビティとは、樹脂が充填される空間部を意味する。従って、シート13を用いない一般的なモールドイング法の場合、キャビティは主に成形金型の上型及び下型によって構成されるため、この場合のキャビティの内面とは成形金型の面を意味する。一方、シートモールドイング法において、上型側及び下型側の両方にシート13を用いる場合、キャビティは主にシート13によって構成されるため、この場合のキャビティの内面とはシート13の面を意味する。また、上型側、下型側の何れか一方にシート13を用いる場合、キャビティは主に成形金型及びシート13によって構成されるため、この場合のキャビティの内面とは成形金型の面及びシート13の面を意味する。

【0124】

(実施形態7)

図29は、本実施形態7の半導体装置の内部構造を示す模式的断面図((a)は第1のリードに沿った断面図、(b)は第2のリードに沿った断面図)である。

【0125】

図29に示すように、本実施形態7の半導体装置1gは、基本的に図18に示す前述の実施形態2と同様の構成になっており、以下の構成が異なっている。

【0126】

即ち、本実施形態7の半導体装置1gは、半導体チップ2の主面2xに接着材12を介在してスペーサ11が接着固定され、樹脂封止体8の主面(上面)8xからスペーサ11の上面が露出されたパッケージ構造になっている。この半導体装置1gの製造では、例えば一括方式のトランスファ・モールドイング法を採用している。

【0127】

このようなパッケージ構造は、モールドイング工程において、リード5の端子部6をこの端子部6と向かい合うキャビティの内面に接触させ、スペーサ11の上面をこのスペーサ11の上面と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0 1 2 8】

このようなパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0 1 2 9】

(実施形態 8)

図 3 0 は、本実施形態 8 の半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0 1 3 0】

図 3 0 に示すように、本実施形態 8 の半導体装置 1 h は、基本的に図 1 9 に示す前述の実施形態 3 と同様の構成になっており、以下の構成が異なっている。

【0 1 3 1】

即ち、本実施形態 8 の半導体装置 1 h は、半導体チップ 2 の主面 2 x に接着材 1 2 を介在してスペーサ 1 1 が接着固定され、樹脂封止体 8 の主面 8 x からスペーサ 1 1 の上面が露出されたパッケージ構造になっている。この半導体装置 1 h の製造では、例えば一括方式のトランスファ・モールディング法を採用している。

【0 1 3 2】

このようなパッケージ構造は、モールディング工程において、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティの内面に接触させ、スペーサ 1 1 の上面をこのスペーサ 1 1 の上面と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0 1 3 3】

このようなパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0 1 3 4】

(実施形態 9)

図 3 1 は、本実施形態 9 の半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0135】

図31に示すように、本実施形態9の半導体装置1jは、基本的に図20に示す前述の実施形態4と同様の構成になっており、以下の構成が異なっている。

【0136】

即ち、本実施形態8の半導体装置1jは、基材10の主面（半導体チップ2が固定された面と反対側の面）にスペーサ11が接着固定され、樹脂封止体8の主面（上面）8xからスペーサ11の上面が露出されたパッケージ構造になっている。この半導体装置1jの製造では、例えば一括方式のトランスファ・モルディング法を採用している。

【0137】

このようなパッケージ構造は、モルディング工程において、リード5の端子部6をこの端子部6と向かい合うキャビティの内面に接触させ、スペーサ11の上面をこのスペーサ11の上面と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0138】

このようなパッケージ構造においても、前述の実施形態6と同様の効果が得られる。

【0139】

（実施形態10）

図32は、本実施形態10の半導体装置の内部構造を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【0140】

図32に示すように、本実施形態10の半導体装置1kは、基本的に図21に示す前述の実施形態5と同様の構成になっており、以下の構成が異なっている。

【0141】

即ち、本実施形態8の半導体装置1kは、半導体チップ2の主面2xに接着材12を介在してスペーサ11が接着固定され、樹脂封止体8の主面8xからスペ

ーサ 1 1 の上面が露出されたパッケージ構造になっている。この半導体装置 1 k の製造では、例えば一括方式のトランスファ・モールディング法を採用している。

【0 1 4 2】

このようなパッケージ構造は、モールディング工程において、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティの内面に接触させ、スペーサ 1 1 の上面をこのスペーサ 1 1 の上面と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0 1 4 3】

このようなパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0 1 4 4】

(実施形態 1 1)

図 3 3 は、本実施形態 1 1 の半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0 1 4 5】

図 3 3 に示すように、本実施形態 1 1 の半導体装置 1 m は、基本的に図 3 1 に示す前述の実施形態 9 と同様の構成になっており、以下の構成が異なっている。

【0 1 4 6】

即ち、本実施形態の半導体装置 1 m は、基材 1 0 をスペーサとして用いたパッケージ構造になっており、樹脂封止体 8 の主面（上面）8 x から基材 1 0 の上面が露出されている。この半導体装置 1 m の製造では、一括方式のトランスファ・モールディング法を採用している。

【0 1 4 7】

このようなパッケージ構造は、モールディング工程において、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティの内面に接触させ、基材 1 0 の上面をこの基材 1 0 と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0 1 4 8】

このようなパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0 1 4 9】

(実施形態 1 2)

図 3 4 は、本実施形態 1 2 の半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【0 1 5 0】

図 3 4 に示すように、本実施形態 1 2 の半導体装置 1 n は、基本的に図 3 0 に示す前述の実施形態 8 と同様の構成になっており、以下の構成が異なっている。

【0 1 5 1】

即ち、本実施形態 1 2 の半導体装置 1 n は、半導体チップ 1 4 をスペーサとして用いたパッケージ構造になっており、半導体チップ 2 の主面 2 x 上に半導体チップ 1 4 が配置され、樹脂封止体 8 の主面 8 x から半導体チップ 1 4 の主面と反対側の裏面が露出されている。半導体チップ 1 4 は、その主面と半導体チップ 2 の主面 2 x との間に突起状電極 1 5 を介在して半導体チップ 2 の主面 2 x 上に実装されている。本実施形態 1 2 の半導体装置 1 n の製造では、例えば一括方式のトランスファ・モールディング法を採用している。

【0 1 5 2】

このようなパッケージ構造は、モールディング工程において、リード 5 の端子部 6 をこの端子部 6 と向かい合うキャビティの内面に接触させ、半導体チップ 1 4 の裏面をこの裏面と向かい合うキャビティの内面に接触させた状態で樹脂封止することで得られる。

【0 1 5 3】

このようなパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0 1 5 4】

(実施形態 1 3)

本実施形態 13 では、スペーサを有する半導体チップの第 1 の製造について説明する。

【0155】

図 35 は、本実施形態 13 の半導体チップの概略構成を示す模式的断面図であり、

図 36 は、本実施形態 13 の半導体チップの製造に用いられる半導体ウエハの模式的平面図であり、

図 37 は、本実施形態 13 の半導体チップの製造に用いられるスペーサ用ウエハの模式的平面図であり、

図 38 及び図 39 は、本実施形態 13 の半導体チップの製造工程を示す模式的断面図である。

【0156】

図 35 に示すように、本実施形態 13 の半導体チップ 2 は、その主面 2x に接着材 12 を介在してスペーサ 11a が接着固定されている。このスペーサ 11a は、前述の実施形態 6 で説明したように、半導体装置の製造において、成型金型のキャビティの内面に半導体チップ 2 を支持するためのものである。スペーサ 11a としては、半導体チップ 2 に接着固定されるため、熱膨張係数の差に起因する半導体チップ 2 の損傷を考慮して半導体チップ 2 の熱膨張係数に近い材料からなるスペーサを選定することが望ましい。例えば、半導体チップ 2 がシリコン基板を主体に構成されている場合、シリコンからなるスペーサを用いることが望ましい。本実施形態 13 では、半導体チップ 2 はシリコン基板を主体に構成され、スペーサ 11a もシリコン基板で構成されている。

【0157】

スペーサ 11a は、前述の実施形態 6 で説明したように、半導体チップ 2 のボンディングパッド 3 よりも内側に位置する外形サイズになっており、厚さとしてはボンディングワイヤのループ高さよりも厚くなっている。以下、スペーサ 11a が設けられた半導体チップ 2 の製造について説明する。

【0158】

まず、図 36 に示す半導体ウエハ 40、及び図 37 に示すスペーサ用ウエハ 4

5を準備する。半導体ウエハ40及びスペーサ用ウエハ45は、例えば単結晶シリコンからなる半導体基板で構成されている。

【0159】

図36に示すように、半導体ウエハ40の主面には、分離領域41によって区画された複数のチップ形成領域42が行列状に配置され、複数のチップ形成領域42の夫々には、集積回路が構成されている。

【0160】

図37に示すように、スペーサ用ウエハ45の主面には、溝からなる分離領域46によって区画された複数のスペーサ形成領域47が行列状に配置されている。複数のスペーサ形成領域47は、半導体ウエハ40とスペーサ用ウエハ45とを重ね合わせて位置決めした時、各々が複数のチップ形成領域42と対応するように配置されている。分離領域46の幅は、半導体ウエハ40の分離領域41の幅よりも広くなっており、スペーサ形成領域47は、チップ形成領域42よりも小さい外形サイズになっている。

【0161】

次に、図38(A)に示すように、半導体ウエハ40の主面とスペーサ用ウエハ45の主面とを向かい合わせて位置決めし、その後、図38(B)に示すように、各々のチップ形成領域42とスペーサ形成領域47との間に接着剤12を介在して半導体ウエハ40にスペーサ用ウエハ45を接着固定する(張り合わせる)。

【0162】

次に、スペーサ用ウエハ45の複数のスペーサ形成領域47を個々の領域に分割(個片化)して、図39(A)に示すように、半導体ウエハ40の各々のチップ形成領域42上にスペーサ11aを形成する。スペーサ用ウエハ45の分割は、スペーサ用ウエハ45の分離領域46を例えばダイシングして行う。この場合、半導体ウエハ40をダイシングしないように、ダイシングブレードの深さ位置を調整して行う。

【0163】

次に、図39(B)に示すように、半導体ウエハ40の厚さを薄くする。半導

体ウエハ 40 の厚さは、その裏面を例えばグライディング及びスピネッチングすることによって行う。

【0164】

次に、半導体ウエハ 40 の複数のチップ形成領域 42 を個々の領域に分割（個片化）して、図 39（C）に示すように、スペーサ 11a が設けられた半導体チップ 2 を形成する。半導体ウエハ 40 の分割は、半導体ウエハ 40 の分離領域 41 を例えばダイシングして行う。

【0165】

ところで、半導体チップ 2 は、半導体装置の薄型化に伴って厚さを薄くする傾向にある。半導体チップ 2 の薄型化に伴って半導体チップ 2 の機械的強度が低下するため、半導体チップ 2 をコレットによって搬送する時の衝撃や、リードフレームに半導体チップを搭載する時の衝撃等によって、半導体チップが破損し易くなる。

【0166】

これに対し、本実施形態 13 のように、半導体ウエハ 40 の状態で個々のチップ形成領域 42 にスペーサ 11a を形成することにより、半導体ウエハ 40 を分割して形成された半導体チップ 2 は、スペーサ 11a によって機械的強度が高くなるため、半導体チップ 2 をコレットによって搬送する時の衝撃や、リードフレームに半導体チップ 2 を搭載する時の衝撃等によって、半導体チップが破損するといった不具合を抑制することができる。

【0167】

また、前述の実施形態 6 の図 23 に示すように、リードフレーム LF に半導体チップ 2 を搭載した後、半導体チップ 2 にスペーサ 11 を搭載するような場合、即ち、半導体ウエハを個々の半導体チップに分割した後では、チップ単位でスペーサを搭載する必要があるため、処理が煩雑となり、品質、コストに影響を及ぼす。

【0168】

これに対し、本実施形態 3 のように、半導体ウエハ 40 の状態で個々のチップ形成領域 42 にスペーサ 11a を形成することにより、ウエハ単位でスペーサ 1

1 a を搭載することができるため、処理を簡略化でき、品質の向上及び低コスト化を図ることができる。

【0169】

(実施形態 14)

本実施形態 14 では、スペーサを有する半導体チップの第 2 の製造について説明する。

【0170】

図 40 乃至図 42 は、本実施形態 14 の半導体チップの製造工程を示す模式的断面図である。

【0171】

まず、図 40 (A) に示すように、半導体ウエハ 40 を形成し、その後、図 40 (B) に示すように、半導体ウエハ 40 の主面上に感光性のレジスト膜 50 を例えば回転塗布法で形成し、その後、図 40 (C) に示すように、レジスト膜 50 上に例えばガラス材からなるマスク 51 を配置する。このマスク 51 は、半導体ウエハ 40 の複数のチップ形成領域 42 と対応して複数の開口部を有し、この複数の開口部は、図 37 に示すスペーサ用ウエハ 45 のスペーサ形成領域 47 と同様に、半導体ウエハ 40 のチップ形成領域よりも小さい外形サイズになっている。

【0172】

次に、マスク 51 の開口部を通して、レジスト膜 50 に露光処理を施し、その後、現像処理等を施して、図 41 (A) に示すように、半導体ウエハ 40 の主面上にレジスト膜 50 からなるスペーサ用マスク 52 を形成する。

【0173】

次に、図 41 (B) に示すように、スペーサ用マスク 52 の開口部内に例えばポリイミド系の樹脂からなる絶縁層 53 を例えば回転塗布法で形成し、その後、絶縁層 53 を硬化させ、その後、半導体ウエハ 40 の主面上からスペーサ用マスク 52 を取り除く。この工程により、半導体ウエハ 40 の各々のチップ形成領域 42 上に絶縁層 53 からなるスペーサ 11 b が形成される。

【0174】

この後、図 4 2 (A) に示すように、半導体ウエハ 4 0 の厚さを前述の実施形態 1 3 と同様の方法で薄くし、その後、前述の実施形態 1 3 と同様の方法で半導体ウエハ 4 0 の複数のチップ形成領域 4 2 を個々の領域に分割（個片化）して、図 4 2 (B) に示すように、主面にスペーサ 1 1 b が設けられた半導体チップ 2 を形成する。

【0175】

このようにして半導体チップ 2 を形成する本実施形態 1 4 においても、前述の実施形態 1 3 と同様の効果が得られる。

【0176】

（実施形態 1 5）

本実施形態 1 5 では、スペーサを有する半導体チップの第 3 の製造について説明する。

【0177】

図 4 3 は、本実施形態 1 5 の半導体チップの製造工程を示す模式的断面図である。

【0178】

まず、図 3 6 に示す半導体ウエハ 4 0 を形成し、その後、図 4 3 (A) に示すように、半導体ウエハ 4 0 の主面上にスクリーン印刷用のマスク 5 4 を配置する。このマスク 5 4 は、半導体ウエハ 4 0 の複数のチップ形成領域 4 2 と対応して複数の開口部を有し、この複数の開口部は、図 3 7 に示すスペーサ用ウエハ 4 5 のスペーサ形成領域 4 7 と同様に、半導体ウエハ 4 0 のチップ形成領域 4 2 よりも小さい外形サイズになっている。

【0179】

次に、マスク 5 4 の開口部の中に例えばポリイミド系の樹脂をスキージによって充填して、図 4 3 (B) に示すように絶縁層 5 5 を形成し、その後、半導体ウエハ 4 0 の主面上からマスク 5 4 を取り除き、その後、絶縁層 5 5 を硬化させる。この工程により、半導体ウエハ 4 0 の各々のチップ形成領域 4 2 上に絶縁層 5 5 からなるスペーサ 1 1 c が形成される。

【0180】

この後、半導体ウエハ40の厚さを前述の実施形態13と同様の方法で薄くし、その後、前述の実施形態13と同様の方法で半導体ウエハ40の複数のチップ形成領域42を個々の領域に分割（個片化）して、主面にスペーサ11bが設けられた半導体チップ2を形成する。

【0181】

このようにして半導体チップ2を形成する本実施形態15においても、前述の実施形態13と同様の効果が得られる。

【0182】

（実施形態16）

本実施形態16では、積層型半導体装置に本発明を適用した例について説明する。

【0183】

図44は、本実施形態16の半導体装置の内部構造を示す模式的断面図であり、

図45は、本実施形態16の半導体装置の製造工程を示す模式的断面図（（A）はチップ搭載工程，（B）はワイヤボンディング工程）であり、

図46は、本実施形態16の半導体装置の製造工程を示す模式的断面図（（A）はチップ搭載工程，（B）はワイヤボンディング工程）である。

【0184】

図44に示すように、本実施形態16の半導体装置60は、基本的に前述の実施形態6と同様の構成になっており、以下の構成が異なっている。

【0185】

即ち、本実施形態16の半導体装置60は、半導体チップ2の主面2x上にスペーサ11dを介在して半導体チップ61を積層し、これら2つ半導体チップを1つの樹脂封止体8で封止したパッケージ構造になっている。半導体チップ61は、その主面に集積回路及び複数のボンディングパッド3が形成されており、その主面と反対側の裏面は、接着材62を介在してスペーサ11dの上面に接着固定されている。半導体チップ61の主面にはスペーサ11eの裏面が接着固定されており、その裏面と反対側の上面は、樹脂封止体8の主面（上面）8xから露

出している。半導体チップ61の複数のボンディングパッド3は、対応する複数のリード5とボンディングワイヤ7を介して夫々電氣的に接続されている。

【0186】

本実施形態16の半導体チップ2及び61は、例えば前述の実施形態14又は15で説明した半導体チップ形成方法と同様の方法で形成されている。また、本実施形態16の半導体チップ61は、これに限定されないが、例えば半導体チップ2の外形サイズよりも大きい外形サイズで形成されている。また、本実施形態16の半導体装置60の製造では、例えば一括方式のトランスファ・モールディング法を採用している。

【0187】

このようなパッケージ構造は、モールディング工程において、リード5の端子部6をこの端子部6と向かい合うキャビティの内面に接触させ、スペーサ11dの上面をこの上面と向かい合うキャビティの内面に接触させた状態で樹脂封止することによって得られる。

【0188】

次に、半導体装置60の製造について、図45及び図46を用いて説明する。

【0189】

まず、図8及び図9に示すリードフレームLFを準備すると共に、半導体チップ2及び61を準備する。半導体チップ2及び61は、主面にスペーサ(11d, 11e)を有する構成になっている。

【0190】

次に、図45(A)に示すように、リードフレームLFに半導体チップ2を接着固定する。リードフレームLFと半導体チップ2との接着固定は、接着材4を介在して、半導体チップ2の裏面2yにリード5の一端部側を接着固定することによって行われる。

【0191】

次に、図45(B)に示すように、半導体チップ2の複数のボンディングパッド3と複数のリード5とを複数のボンディングワイヤ7で夫々電氣的に接続し、その後、図46(A)に示すように、半導体チップ2上のスペーサ11dに半導

体チップ 61 を接着固定する。スペーサ 11d と半導体チップ 61 との接着固定は、接着材 62 を介在して、スペーサ 11d の上面に半導体チップ 61 の裏面を接着固定することによって行われる。

【0192】

次に、図 46 (B) に示すように、半導体チップ 61 の複数のボンディングパッド 3 と複数のリード 5 とを複数のボンディングワイヤ 7 で夫々電氣的に接続する。

【0193】

この後、前述の実施形態 6 と同様の方法で樹脂封止体を形成し、その後、前述の実施形態 6 と同様の方法で樹脂封止体を分割（個片化）する。この工程により、図 44 に示す半導体装置 60 がほぼ完成する。

【0194】

本実施形態 16 のパッケージ構造においても、前述の実施形態 6 と同様の効果が得られる。

【0195】

また、本実施形態 16 では、半導体チップ 2 上にスペーサ 11d を介在して半導体チップ 61 を積層しているため、半導体チップ 2 上に半導体チップ 2 よりも外形サイズが大きい半導体チップ 61 を積層することができる。

【0196】

また、半導体チップ 2 上に半導体チップ 2 よりも外形サイズが大きい半導体チップ 61 を積層することができるため、半導体チップ 2 上に半導体チップ 2 よりも小さい半導体チップを積層する場合と比較して、上段の半導体チップ 61 のボンディングパッド 3 とリード 5 とを電氣的に接続するボンディングワイヤ 7 の長さを短くすることができる。

【0197】

また、本実施形態 16 の半導体チップ 2 及び 61 は、ウエハ状態で個々のチップ形成領域上にスペーサを形成する方法によって形成されているため、半導体チップ 2 及び 61 をコレットによって搬送する時の衝撃や、リードフレームに半導体チップ 2 を搭載する時の衝撃や、半導体チップ 2 上に半導体チップ 61 を搭載

する時の衝撃等によって、半導体チップ 2 及び 61 が破損するといった不具合を抑制することができ、歩留まりの高い半導体装置 60 を提供することができる。

【0198】

また、半導体チップ 2 及び 61 は、厚さを薄くしてもスペーサ (11d, 11e) によって機械的強度が高くなるため、歩留まりの高い薄型の半導体装置 60 を提供することができる。

【0199】

(実施形態 17)

本実施形態 17 では、インターポーザと呼ばれる配線基板を有する CSP (Chip Size Package) 型半導体装置に本発明を適用した例について説明する。

【0200】

図 47 は、本実施形態 17 の半導体装置の内部構造を示す模式的断面図であり、図 48 は、本実施形態 17 の半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程、(B) はワイヤボンディング工程) であり、

図 49 は、本実施形態 17 の半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程、(B) はワイヤボンディング工程) である。

【0201】

図 47 に示すように、本実施形態 17 の半導体装置 64 は、配線基板 65 の主面上に 2 つの半導体チップ (2, 61) を積層したパッケージ構造になっている。半導体チップ 2 は、その裏面 2y が配線基板 65 の主面に接着材 4 を介在して接着固定され、その主面にはスペーサ 11d が設けられている。半導体チップ 61 は、その裏面が接着材を介在してスペーサ 11d の上面に接着固定されている。

【0202】

本実施形態 17 の半導体チップ 2 は、例えば前述の実施形態 14 又は 15 で説明した半導体チップ形成方法と同様の方法で形成され、本実施形態 17 の半導体チップ 61 は、通常のウエハプロセスで形成されている。

【0203】

半導体チップ 2 及び 61 の周囲には、複数の接続部 66 が配置されている。こ

の複数の接続部 6 6 は、配線基板 6 5 の配線の一部からなり、半導体チップ 2 及び 6 1 の複数のボンディングパッド 3 に対応して配置されている。

【0 2 0 4】

複数の接続部 6 6 は、配線基板 6 5 の配線を介して、配線基板 6 5 の主面と反対側の裏面に配置された複数の電極（ランド） 6 7 と電氣的に接続されている。複数の電極 6 7 の夫々には、例えば外部端子として使用されたる突起状電極（バンプ電極） 6 8 が電氣的にかつ機械的に接続されている。

【0 2 0 5】

半導体チップ 2 及び 6 1 の複数のボンディングパッド 3 は、配線基板 6 5 の複数の接続部 6 6 に複数のボンディングワイヤ 7 を介して夫々電氣的に接続されている。

【0 2 0 6】

半導体チップ 2 及び 6 1、並びに複数のボンディングワイヤ 7 等は、配線基板 6 5 の主面を選択的に覆う樹脂封止体 8 によって封止されている。この樹脂封止体 8 は、片面モールドイング技術によって形成されている。

【0 2 0 7】

次に、半導体装置 6 4 の製造について、図 4 8 及び図 4 9 を用いて説明する。

【0 2 0 8】

まず、配線基板 6 5、半導体チップ 2 及び 6 1 を準備する。半導体チップ 2 は、主面にスペーサ 1 1 d を有する構成になっている。

【0 2 0 9】

次に、図 4 8（A）に示すように、配線基板 6 5 の主面に半導体チップ 2 を接着固定する。配線基板 6 5 と半導体チップ 2 との接着固定は、接着材 4 を介在して配線基板 6 5 の主面に半導体チップ 2 の裏面 2 y を接着固定することによって行われる。

【0 2 1 0】

次に、図 4 8（B）に示すように、半導体チップ 2 の複数のボンディングパッド 3 と配線基板 6 5 の複数の接続部 6 6 とを複数のボンディングワイヤ 7 で夫々電氣的に接続し、その後、図 4 9（A）に示すように、半導体チップ 2 上のスペ

ーサ 11d に半導体チップ 61 を接着固定する。スペーサ 11d と半導体チップ 61 との接着固定は、接着材 62 を介在して、スペーサ 11d の上面に半導体チップ 61 の裏面を接着固定することによって行われる。

【0211】

次に、図 49 (B) に示すように、半導体チップ 61 の複数のボンディングパッド 3 と配線基板 65 の複数の接続部 66 とを複数のボンディングワイヤ 7 で夫々電氣的に接続する。

【0212】

この後、基本的に前述の実施形態 6 と同様の方法で配線基板 65 の主面上に、2 つの半導体チップ (2, 61) 及び複数のボンディングワイヤ 7 等を封止する樹脂封止体を形成し、その後、配線基板 65 の裏面の電極 67 に突起状電極 68 を形成し、その後、前述の実施形態 6 と基本的に同様の方法で樹脂封止体及び配線基板 65 を分割 (個片化) する。この工程により、図 47 に示す半導体装置 64 がほぼ完成する。

【0213】

このように本実施形態 17 のパッケージ構造においても、前述の実施形態 16 と同様の効果が得られる。

【0214】

以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0215】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

【0216】

本発明によれば、半導体装置の実装信頼性の向上を図ることが可能となる。

【0217】

本発明によれば、半導体装置の薄型化を図ることが可能となる。

【 0 2 1 8 】

本発明によれば、半導体装置の低コスト化を図ることが可能となる。

【図面の簡単な説明】**【図 1】**

本発明の実施形態 1 である半導体装置の外観を示す模式的平面図（上面図）である。

【図 2】

本発明の実施形態 1 である半導体装置の外観を示す模式的底面図（下面図）である。

【図 3】

本発明の実施形態 1 である半導体装置の内部構造を示す模式的平面図（上面図）である。

【図 4】

図 3 の一部を拡大した模式的平面図である。

【図 5】

本発明の実施形態 1 である半導体装置の内部構造を示す模式的底面図（下面図）である。

【図 6】

図 5 の一部を拡大した模式的底面図である。

【図 7】

本発明の実施形態 1 である半導体装置の内部構造を示す模式的断面図（（a）は図 3 の a - a 線（第 1 のリード）に沿った断面図，（b）は図 3 の b - b 線（第 2 のリード）に沿った断面図）である。

【図 8】

本発明の実施形態 1 である半導体装置の製造に用いられるリードフレームの全体を示す模式的平面図である。

【図 9】

図 8 の一部を拡大した模式的平面図である。

【図 1 0】

本発明の実施形態 1 である半導体装置の製造工程中のチップ搭載工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 1】

本発明の実施形態 1 である半導体装置の製造工程中のワイヤボンディング工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 2】

本発明の実施形態 1 である半導体装置の製造工程中のモールディング工程において、成形金型にリードフレームを位置決めした状態を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 3】

本発明の実施形態 1 である半導体装置の製造工程中のモールディング工程において、成形金型にリードフレームを位置決めした状態を示す模式的平面図である。

【図 1 4】

本発明の実施形態 1 である半導体装置の製造工程中のモールディング工程において、成形金型のキャビティの内部に樹脂を注入した状態を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 5】

本発明の実施形態 1 である半導体装置の製造において、モールディング工程後のリードフレームの模式的平面図である。

【図 1 6】

本発明の実施形態 1 である半導体装置の製造において、半田層形成工程を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 7】

本発明の実施形態 1 の変形例である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 8】

本発明の実施形態 2 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 1 9】

本発明の実施形態 3 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 2 0】

本発明の実施形態 4 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 2 1】

本発明の実施形態 5 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 2 2】

本発明の実施形態 6 である半導体装置の内部構造を示す模式的断面図（（a）は図 2 1 の a - a 線（第 1 のリード）に沿った断面図，（b）は図 2 1 の b - b 線（第 2 のリード）に沿った断面図）である。

【図 2 3】

本発明の実施形態 6 である半導体装置の製造工程を示す模式的断面図（（A）はチップ搭載工程，（B）はスペーサ搭載工程，（C）はワイヤボンディング工程）である。

【図 2 4】

本発明の実施形態 6 である半導体装置の製造工程中のモールドイング工程にお

いて、成形金型にリードフレームを位置決めした状態を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【図 2 5】

本発明の実施形態6である半導体装置の製造工程中のモールドイング工程において、成形金型にリードフレームを位置決めした状態を示す模式的平面図である。

【図 2 6】

本発明の実施形態6である半導体装置の製造において、モールドイング工程後のリードフレームの模式的平面図である。

【図 2 7】

本発明の実施形態6である半導体装置の製造において、樹脂封止体を個片化した状態を示す模式的平面図である。

【図 2 8】

本発明の実施形態6の変形例である半導体装置の製造工程中のモールドイング工程において、成形金型にリードフレームを位置決めした状態を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【図 2 9】

本発明の実施形態7である半導体装置の内部構造を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【図 3 0】

本発明の実施形態8である半導体装置の内部構造を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

【図 3 1】

本発明の実施形態9である半導体装置の内部構造を示す模式的断面図（（a）は第1のリードに沿った断面図，（b）は第2のリードに沿った断面図）である。

。

【図 3 2】

本発明の実施形態 1 0 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 3 3】

本発明の実施形態 1 1 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 3 4】

本発明の実施形態 1 2 である半導体装置の内部構造を示す模式的断面図（（a）は第 1 のリードに沿った断面図，（b）は第 2 のリードに沿った断面図）である。

【図 3 5】

本発明の実施形態 1 3 である半導体チップの模式的断面図である。

【図 3 6】

本発明の実施形態 1 3 である半導体チップの製造に用いられる半導体ウエハの模式的平面図である。

【図 3 7】

本発明の実施形態 1 3 である半導体チップの製造に用いられるスペーサ用ウエハの模式的平面図である。

【図 3 8】

本発明の実施形態 1 3 である半導体チップの製造工程を示す模式的断面図（（A），（B））である。

【図 3 9】

本発明の実施形態 1 3 である半導体チップの製造工程を示す模式的断面図（（A），（B），（C））である。

【図 4 0】

本発明の実施形態 1 4 である半導体チップの製造工程を示す模式的断面図（（

A), (B), (C)) である。

【図 4 1】

本発明の実施形態 14 である半導体チップの製造工程を示す模式的断面図 ((A), (B), (C)) である。

【図 4 2】

本発明の実施形態 14 である半導体チップの製造工程を示す模式的断面図 ((A), (B)) である。

【図 4 3】

本発明の実施形態 15 である半導体チップの製造工程を示す模式的断面図 ((A), (B), (C)) である。

【図 4 4】

本発明の実施形態 16 である半導体装置の内部構造を示す模式的断面図である。

【図 4 5】

本発明の実施形態 16 である半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程, (B) はワイヤボンディング工程) である。

【図 4 6】

本発明の実施形態 16 である半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程, (B) はワイヤボンディング工程) である。

【図 4 7】

本発明の実施形態 17 である半導体装置の内部構造を示す模式的断面図である。

【図 4 8】

本発明の実施形態 17 である半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程, (B) はワイヤボンディング工程) である。

【図 4 9】

本発明の実施形態 17 である半導体装置の製造工程を示す模式的断面図 ((A) はチップ搭載工程, (B) はワイヤボンディング工程) である。

【符号の説明】

1 a, 1 b, 1 c, 1 d, 1 e, 1 f, 1 g, 1 h, 1 j, 1 k, 1 m, 1 n
…半導体装置、

2…半導体チップ、3…ボンディングパッド、4…接着材、5, 5 a, 5 b…
リード、6, 6 a, 6 b…外部端子、7…ボンディングワイヤ、8…樹脂封止体
、9…半田層、

10…支持体（ダイパッド、タブ）、11, 11 a, 11 b, 11 c, 11 d
、11 e…スペーサ、12…接着材、13 a, 13 b…シート、14…半導体チ
ップ、15…突起状電極、

L F…リードフレーム、20…支持体（フレーム本体）、21…外枠、22…
内枠、23…製品形成領域、

25…成形金型、25 a…上型、25 b…下型、26…キャビティ（樹脂充填
部）、27 a, 27 b…ヒートステージ、28…凹部、

30…成形金型、30 a…上型、30 b…下型、31…キャビティ（樹脂充填
部）、

40…半導体ウエハ、41…分離領域、42…チップ形成領域、

45…スペーサ用ウエハ、46…分離領域、47…スペーサ形成領域、

50…レジスト膜、51…マスク、52…スペーサ用マスク、53…絶縁層、
54…マスク、55…絶縁層、

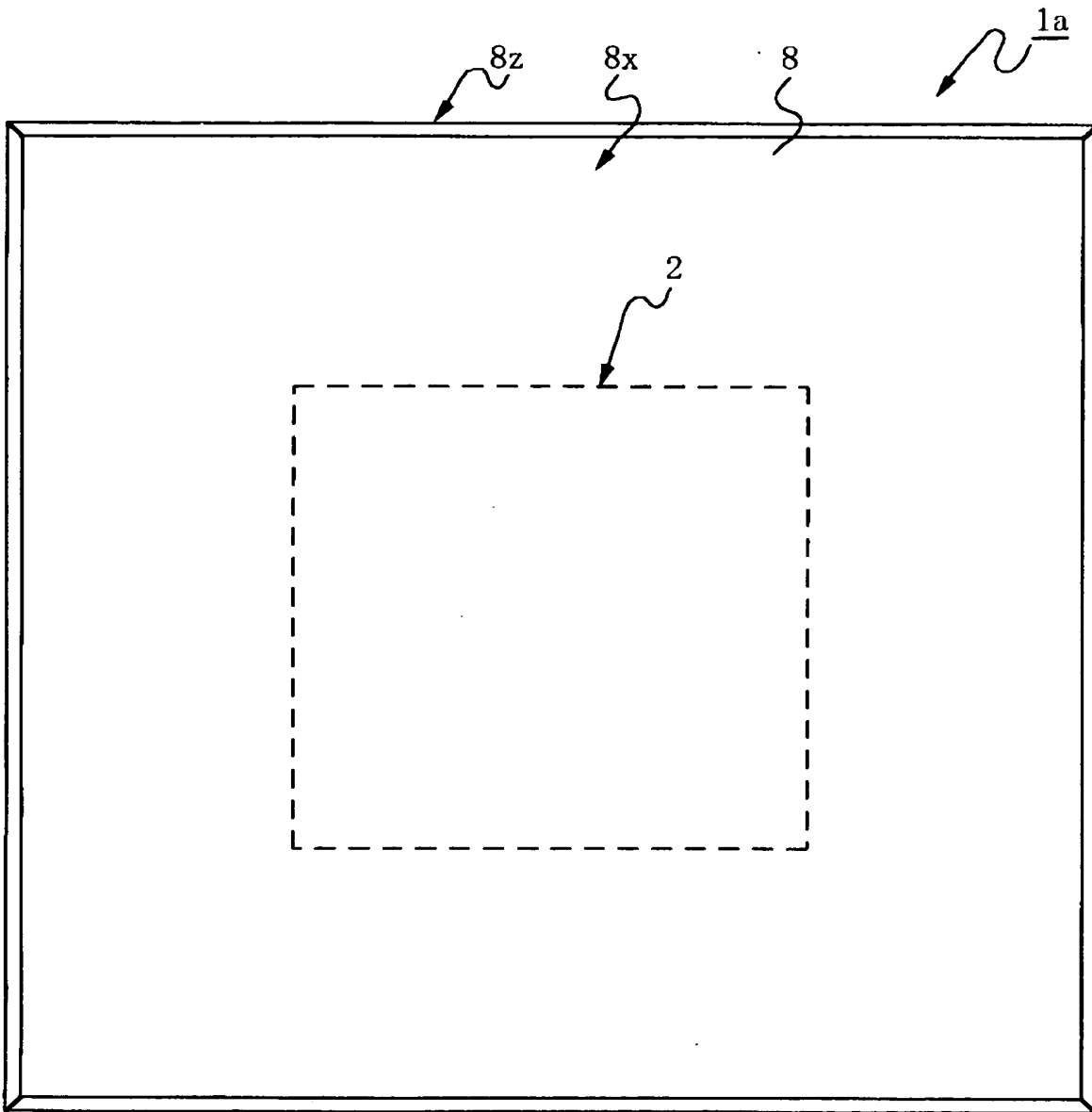
60…半導体装置、61…半導体チップ、62…接着材、

64…半導体装置、65…配線基板、66…接続部、67…電極（ランド）、
68…突起状電極。

【書類名】 図面

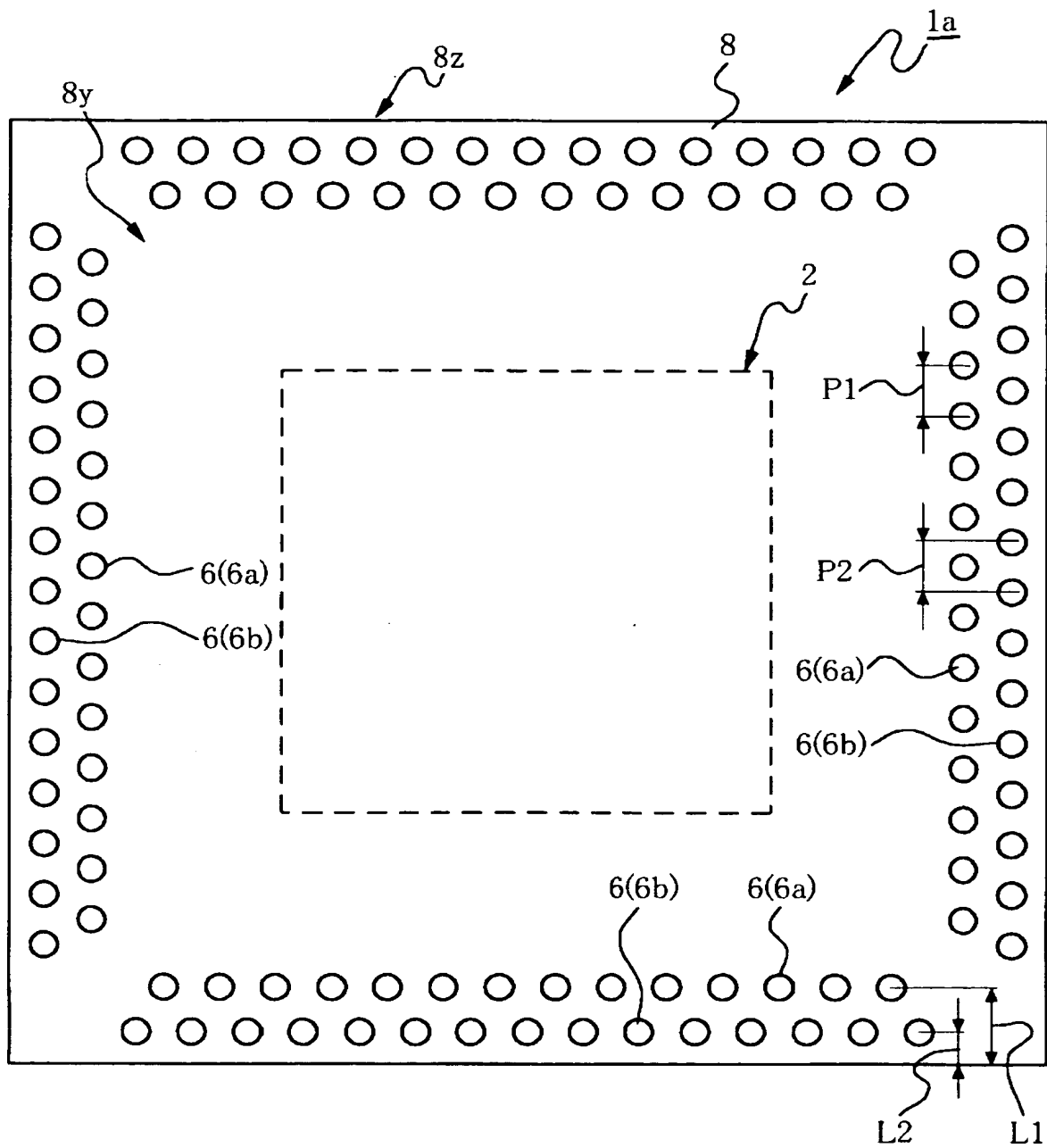
【図 1】

図 1



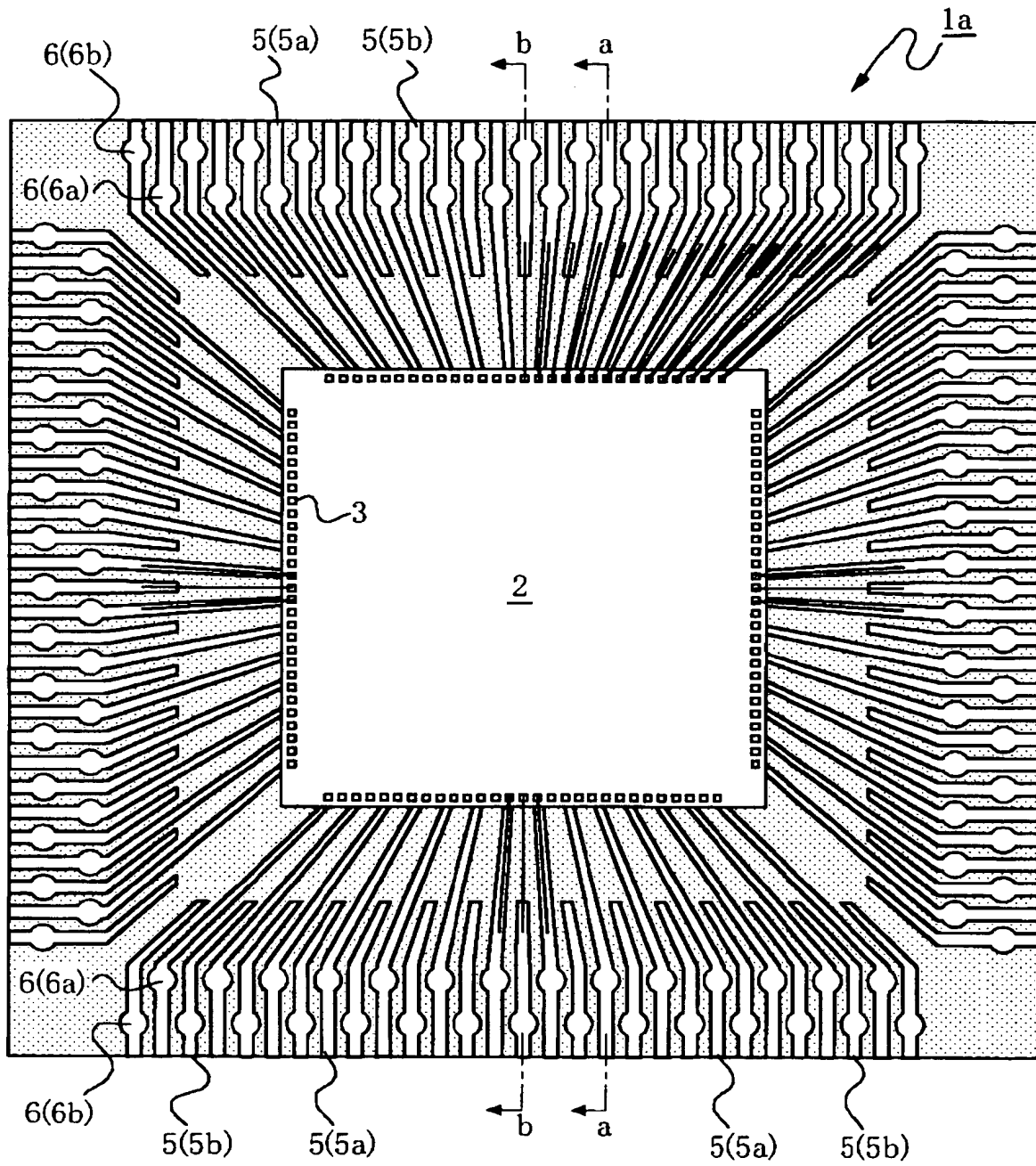
【図 2】

図 2

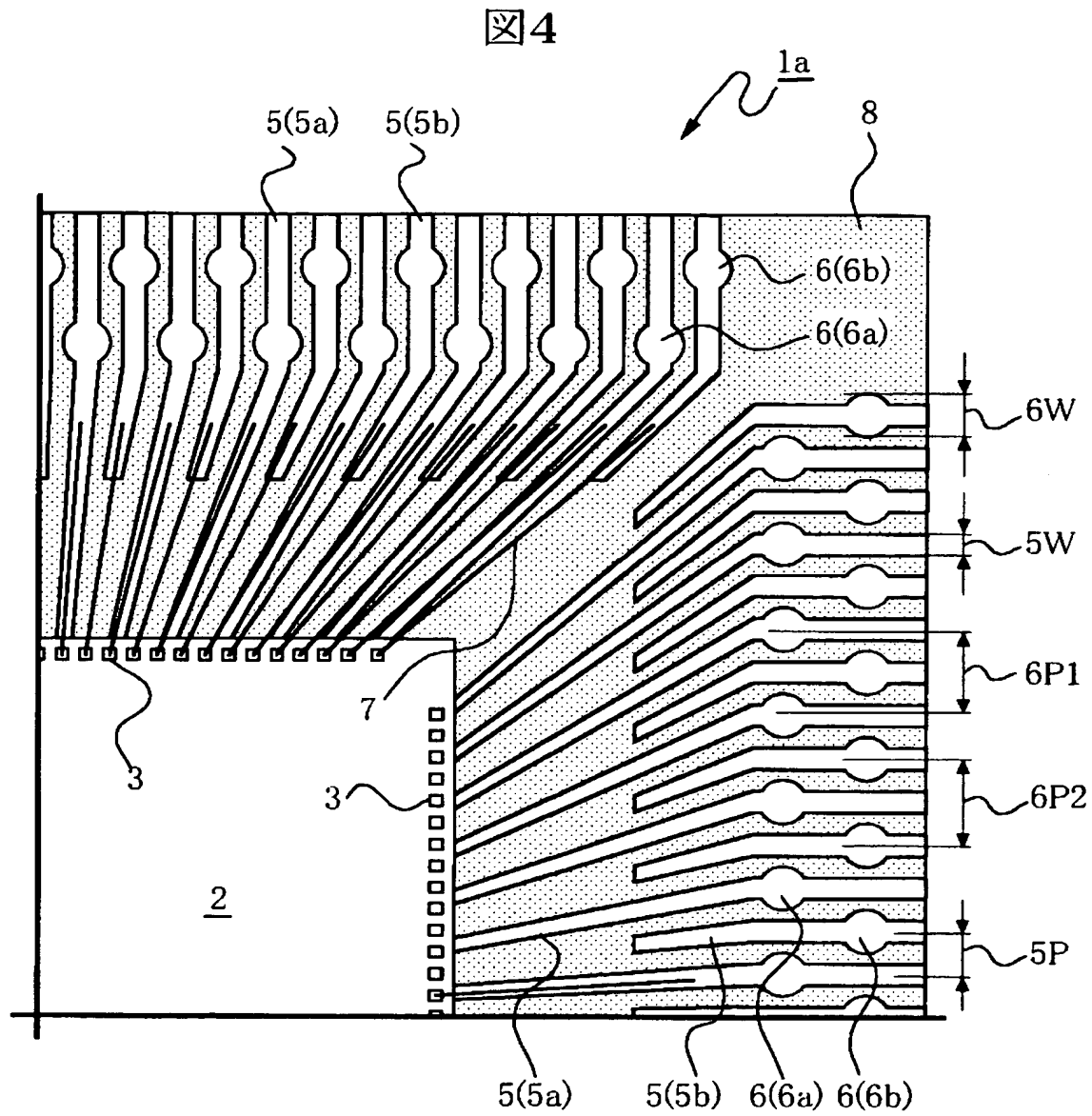


【図 3】

図 3

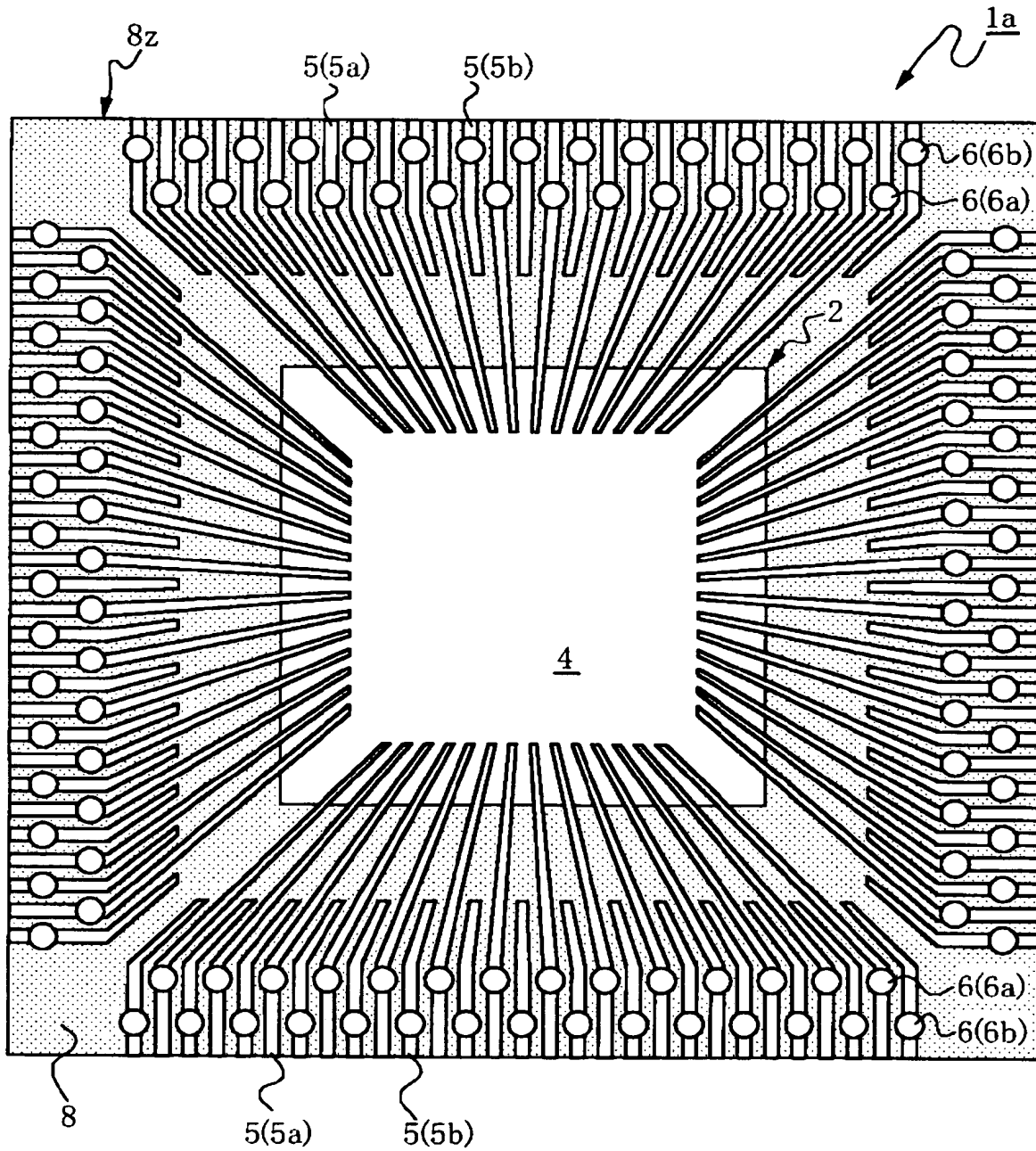


【図 4】

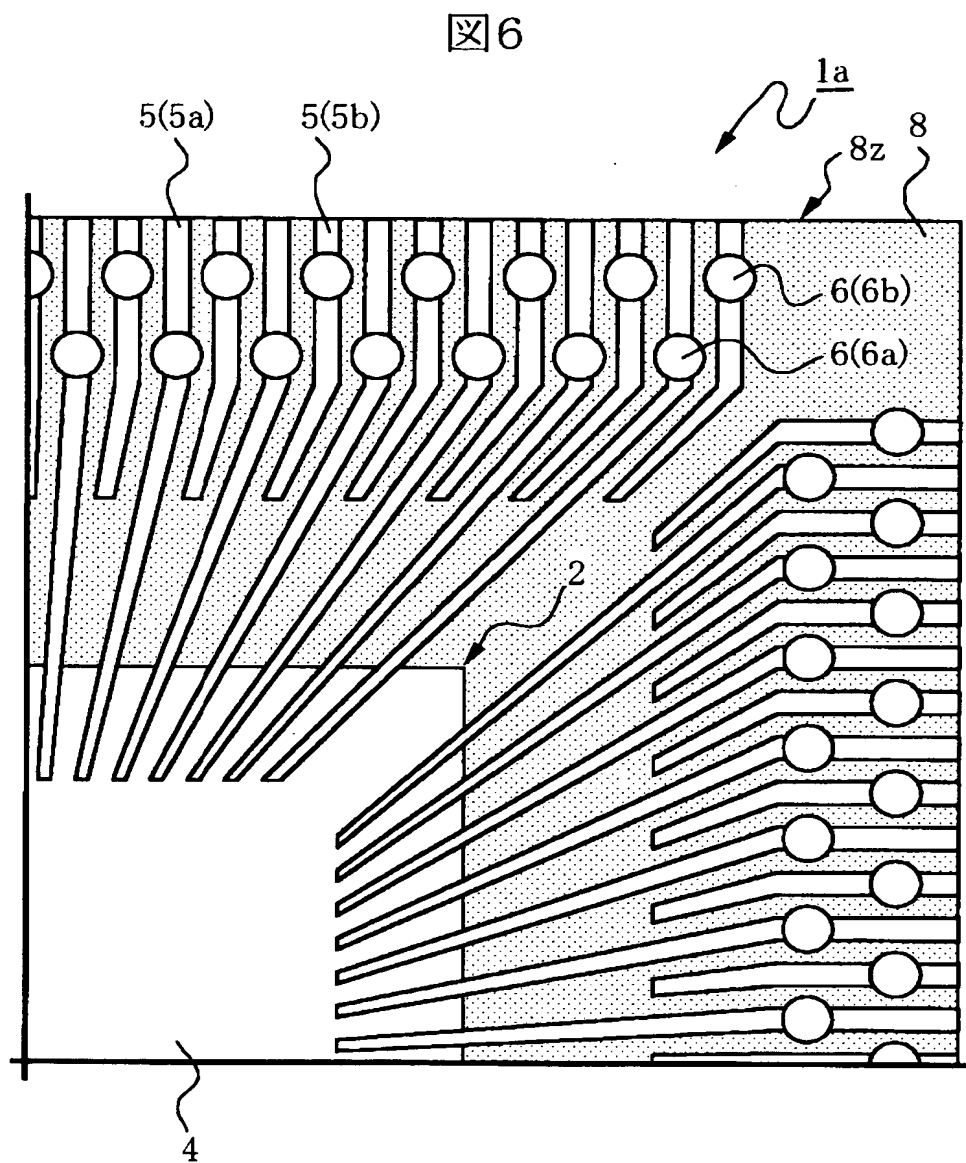


【図 5】

図5

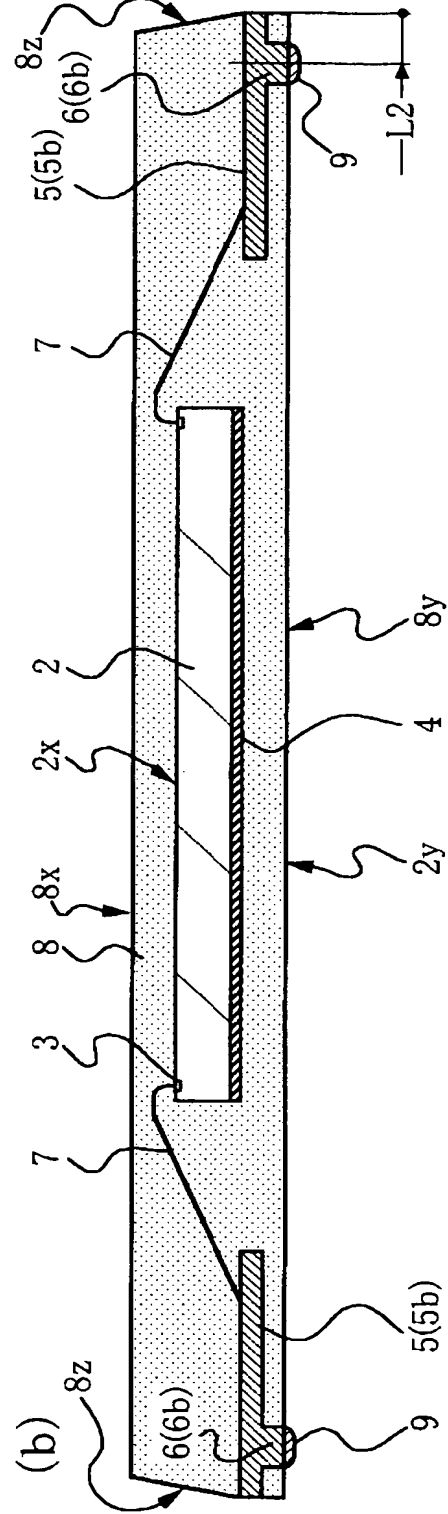
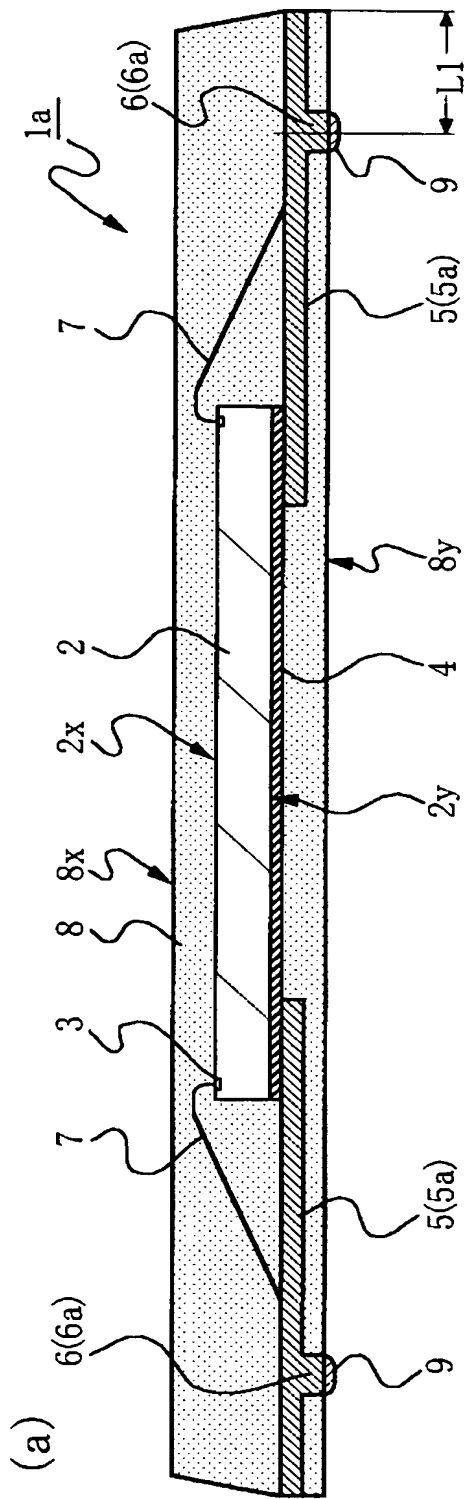


【図 6】



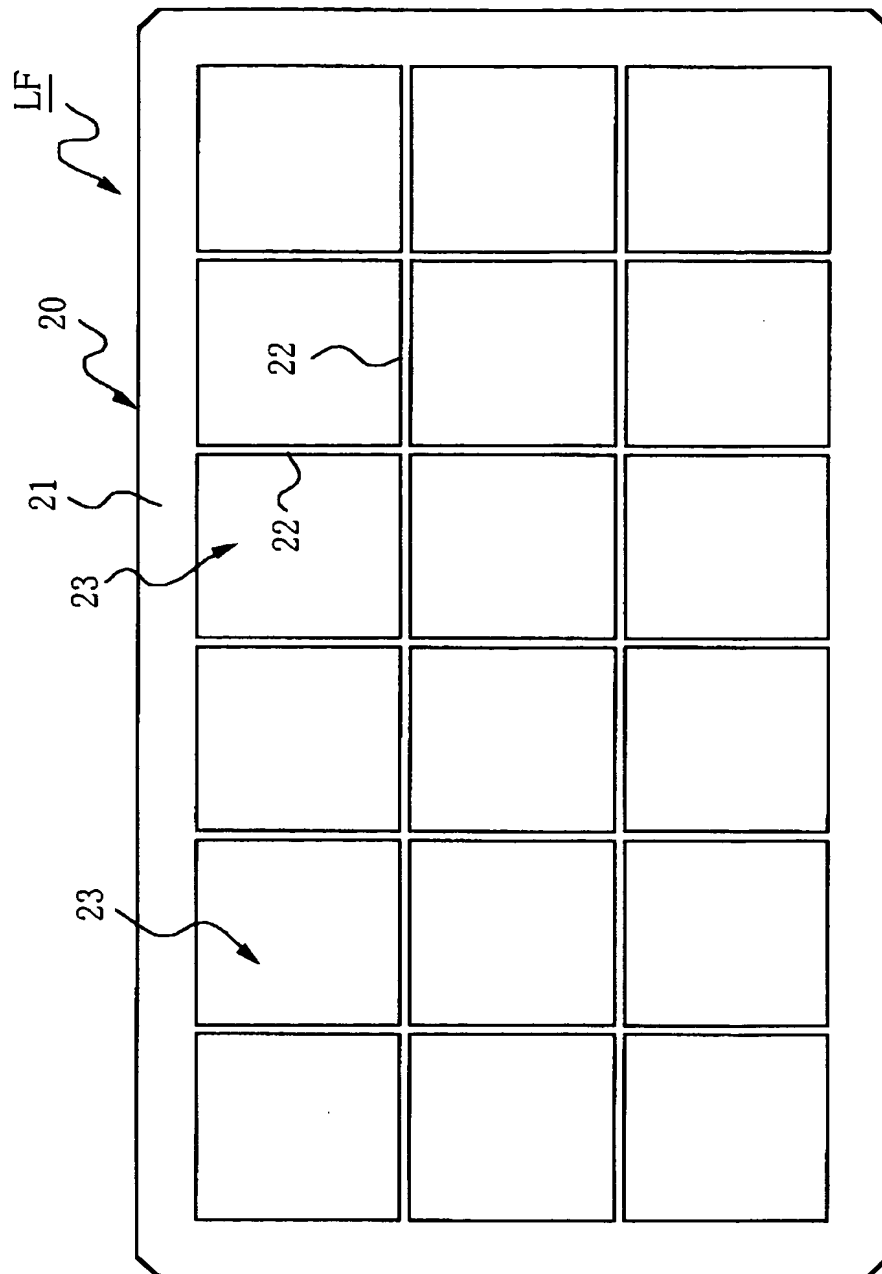
【図 7】

図 7



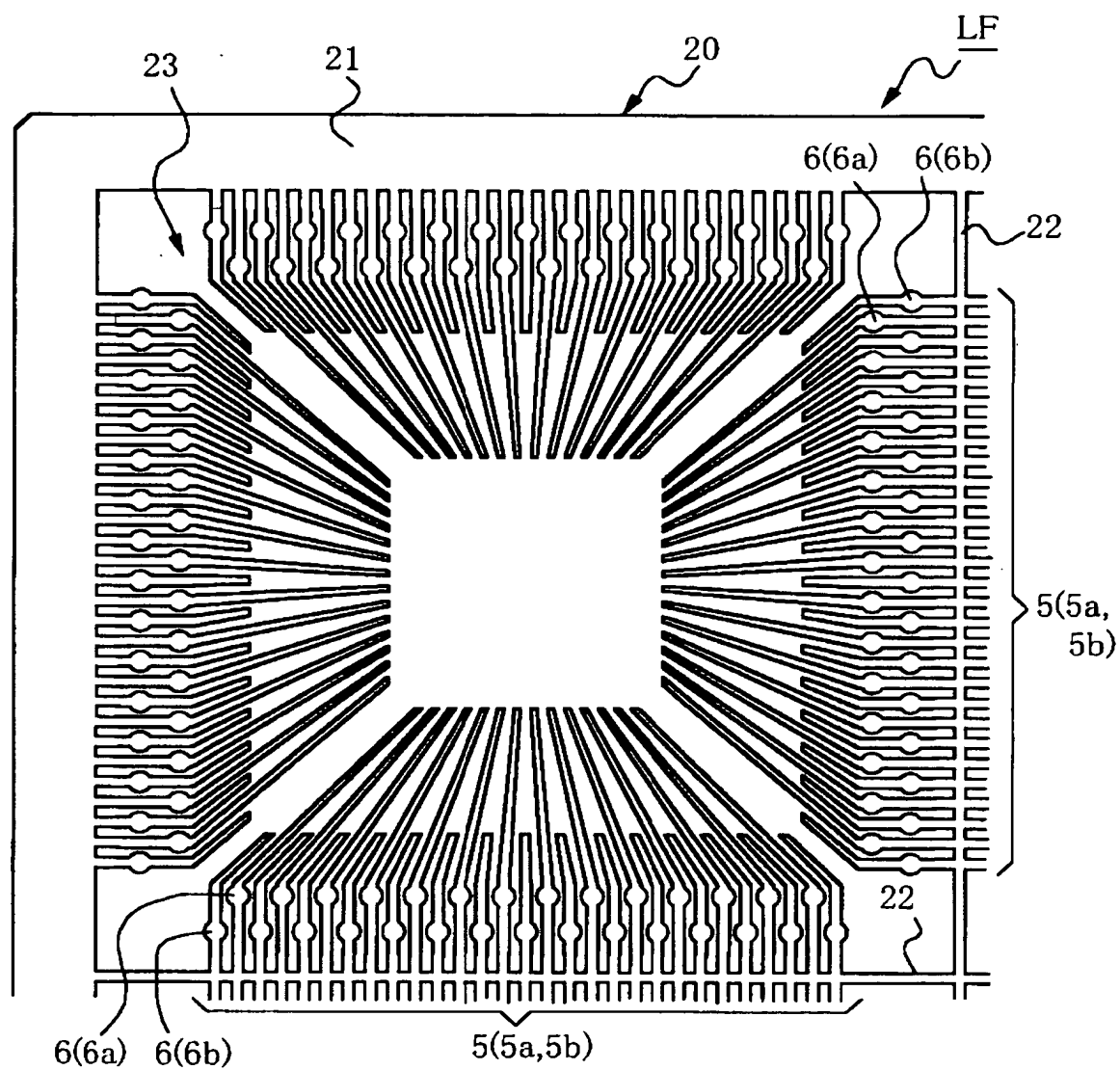
【図 8】

図 8



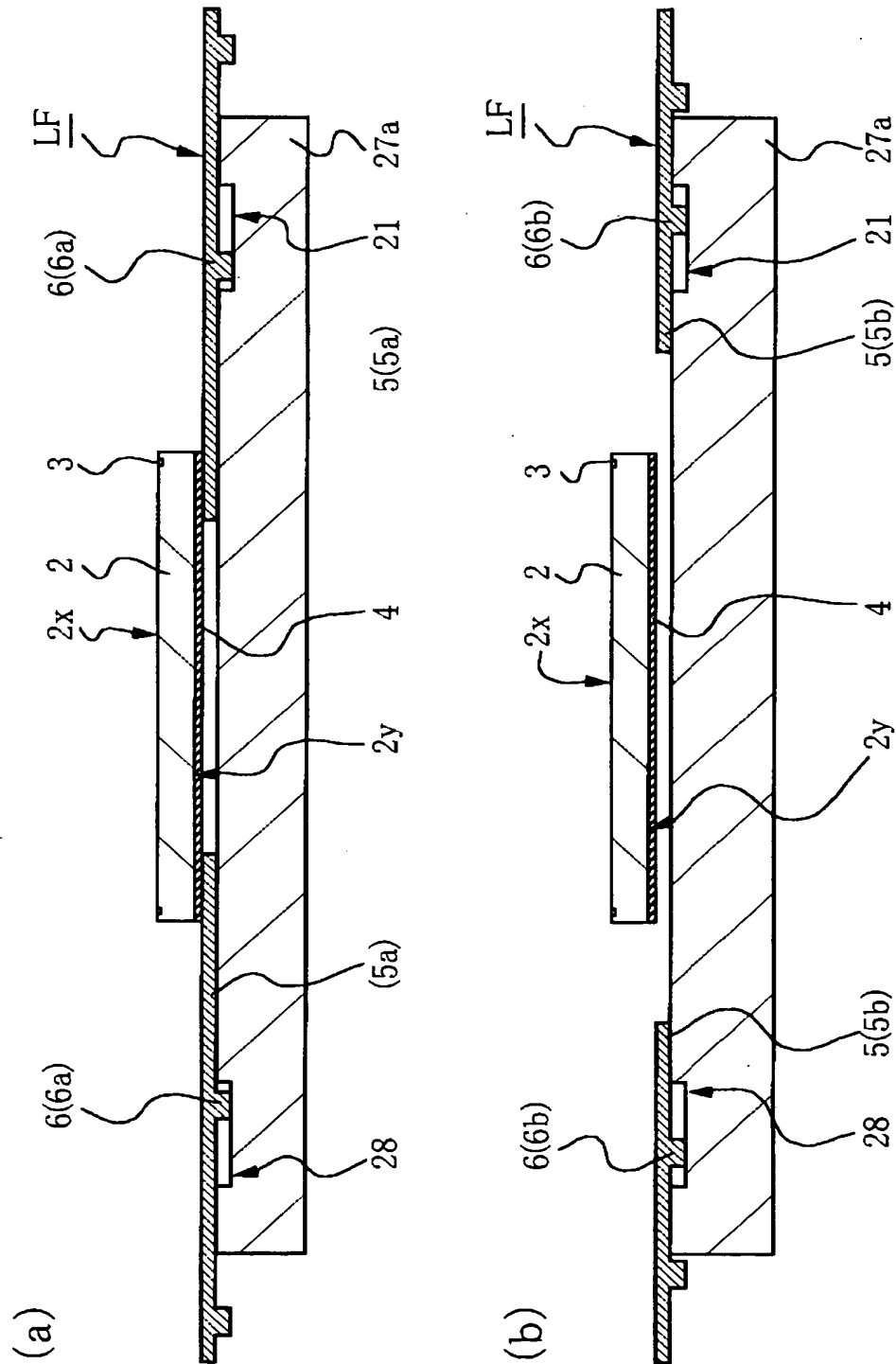
【図 9】

図 9

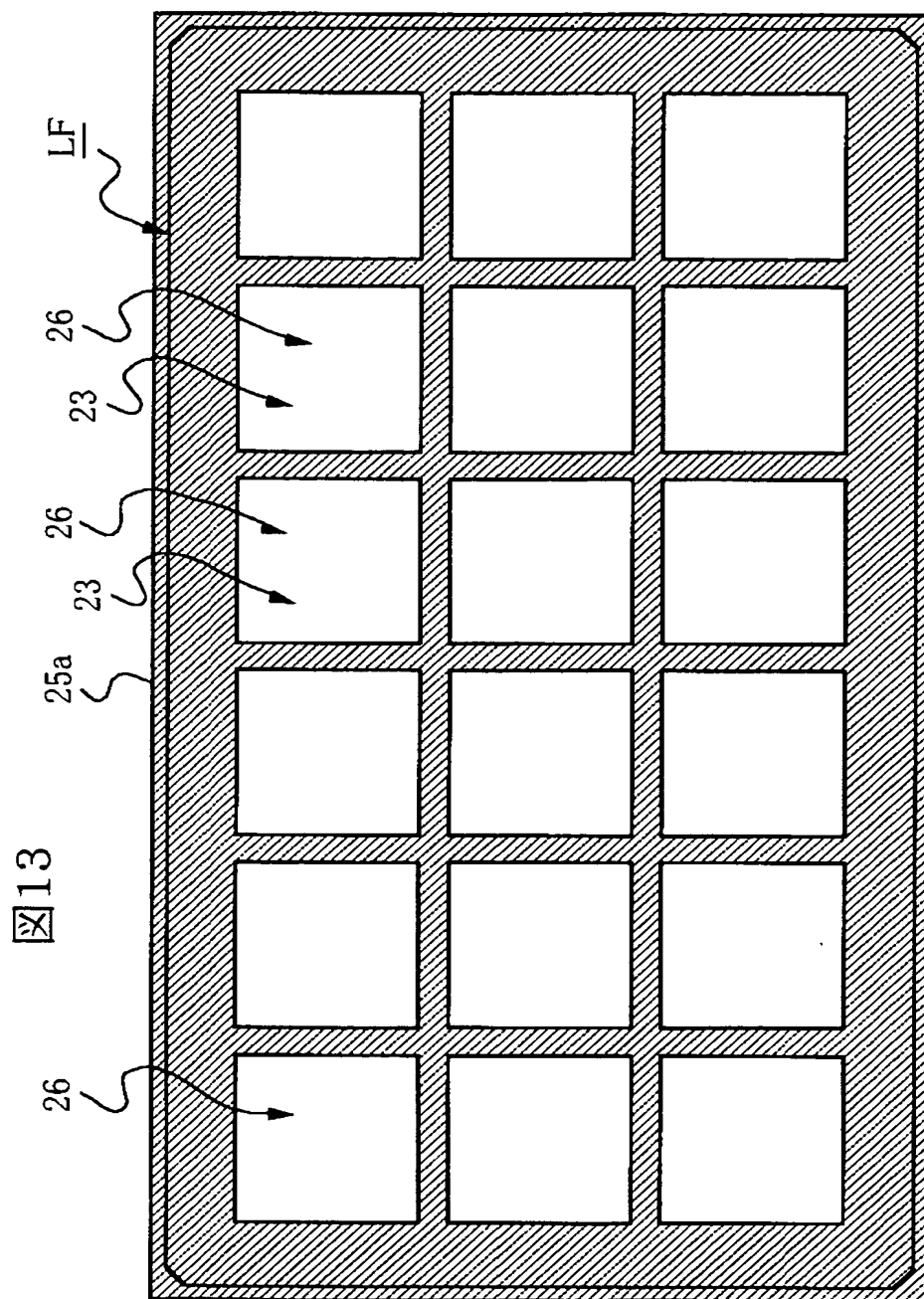


【図 10】

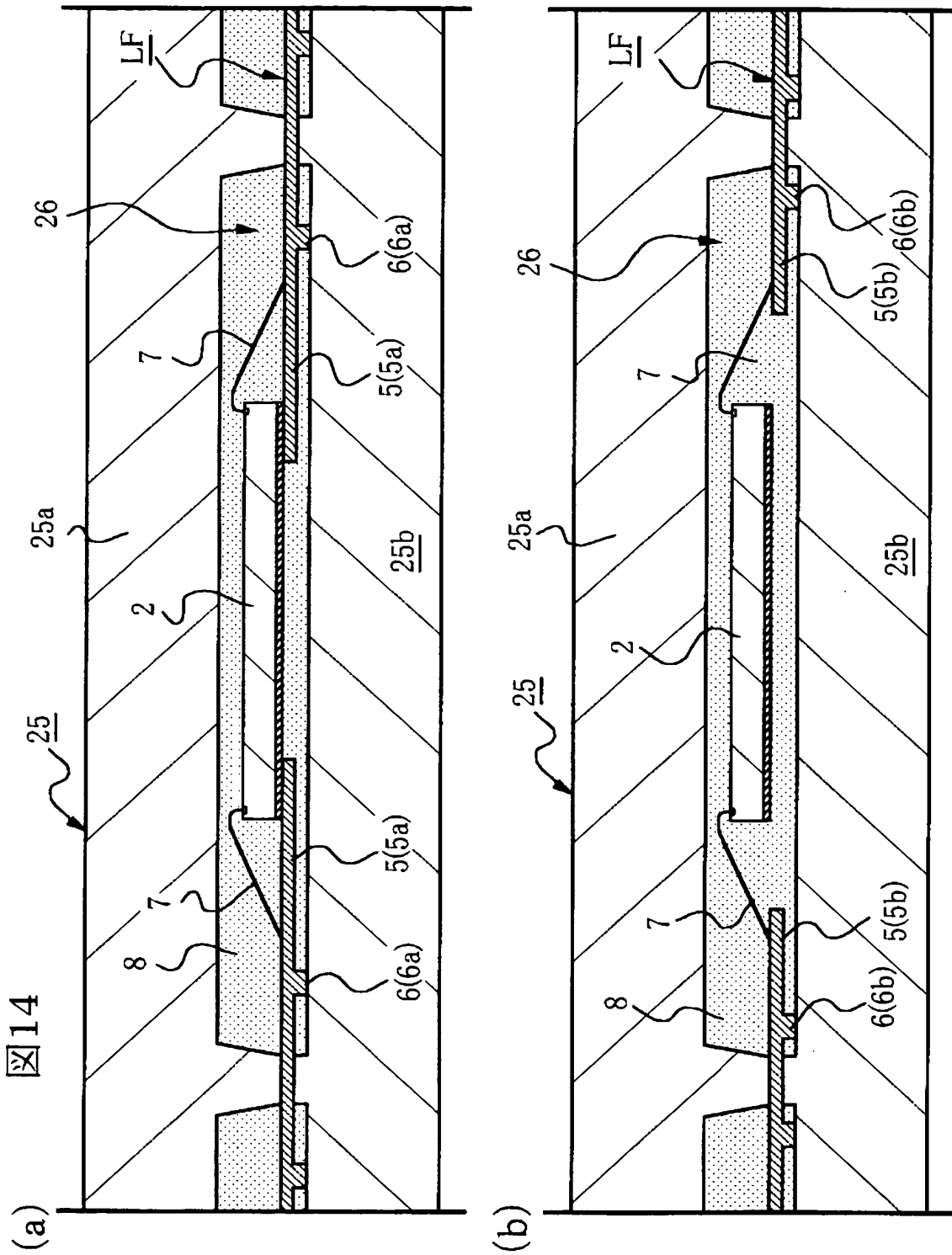
図 10



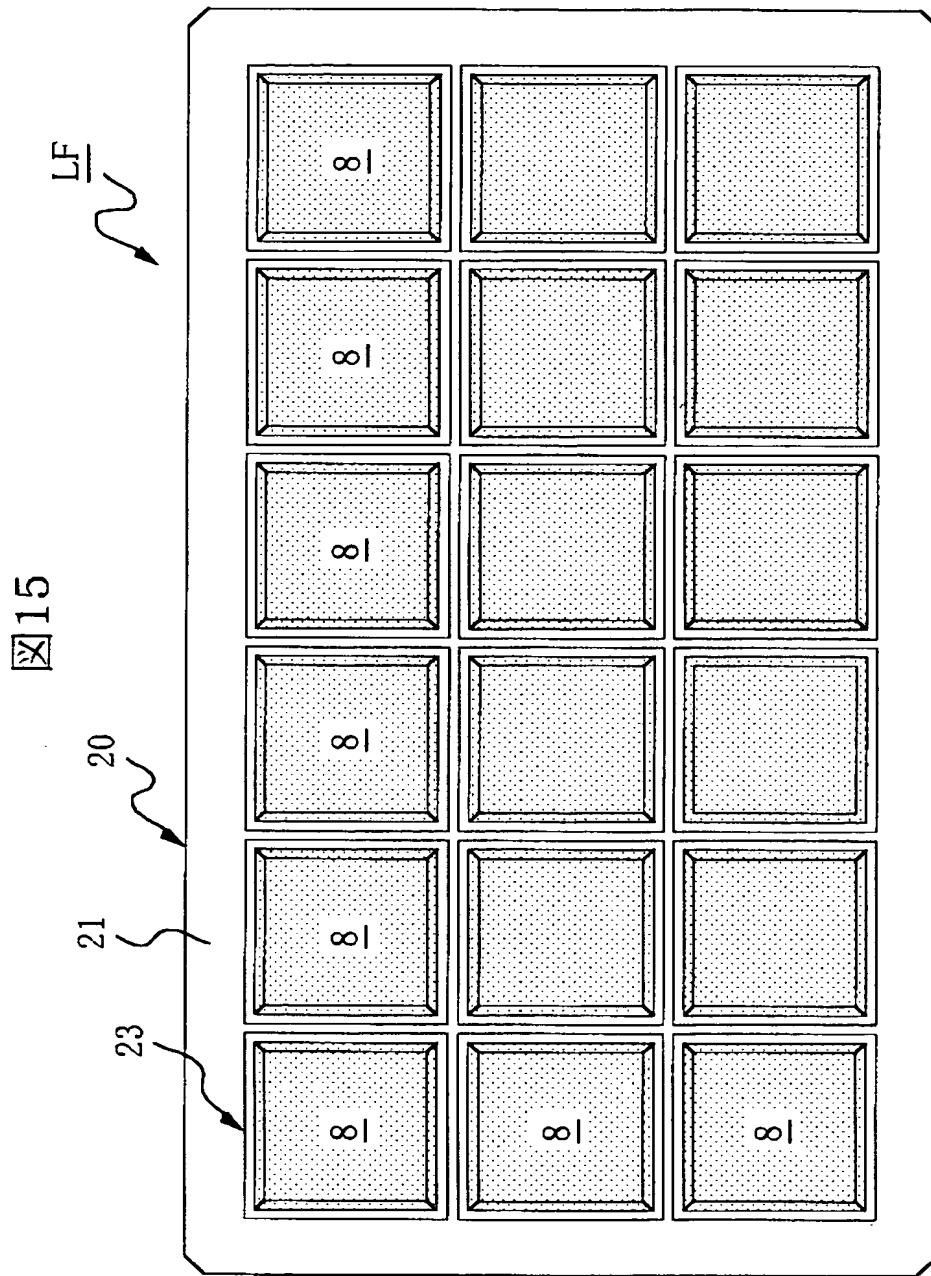
【図 13】



【図 14】

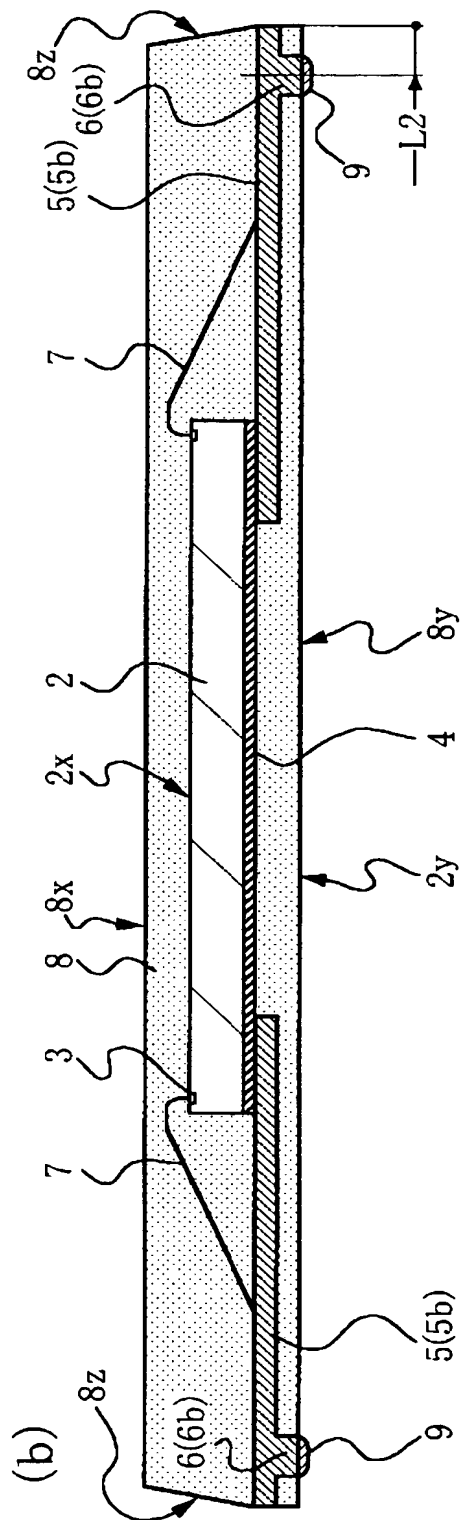
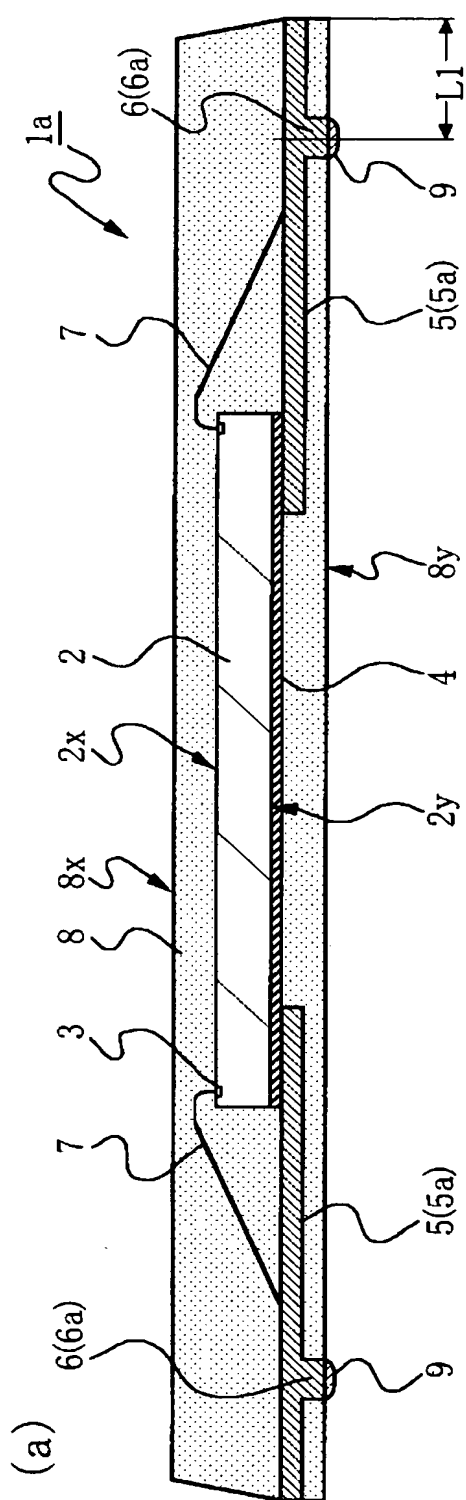


【図 15】



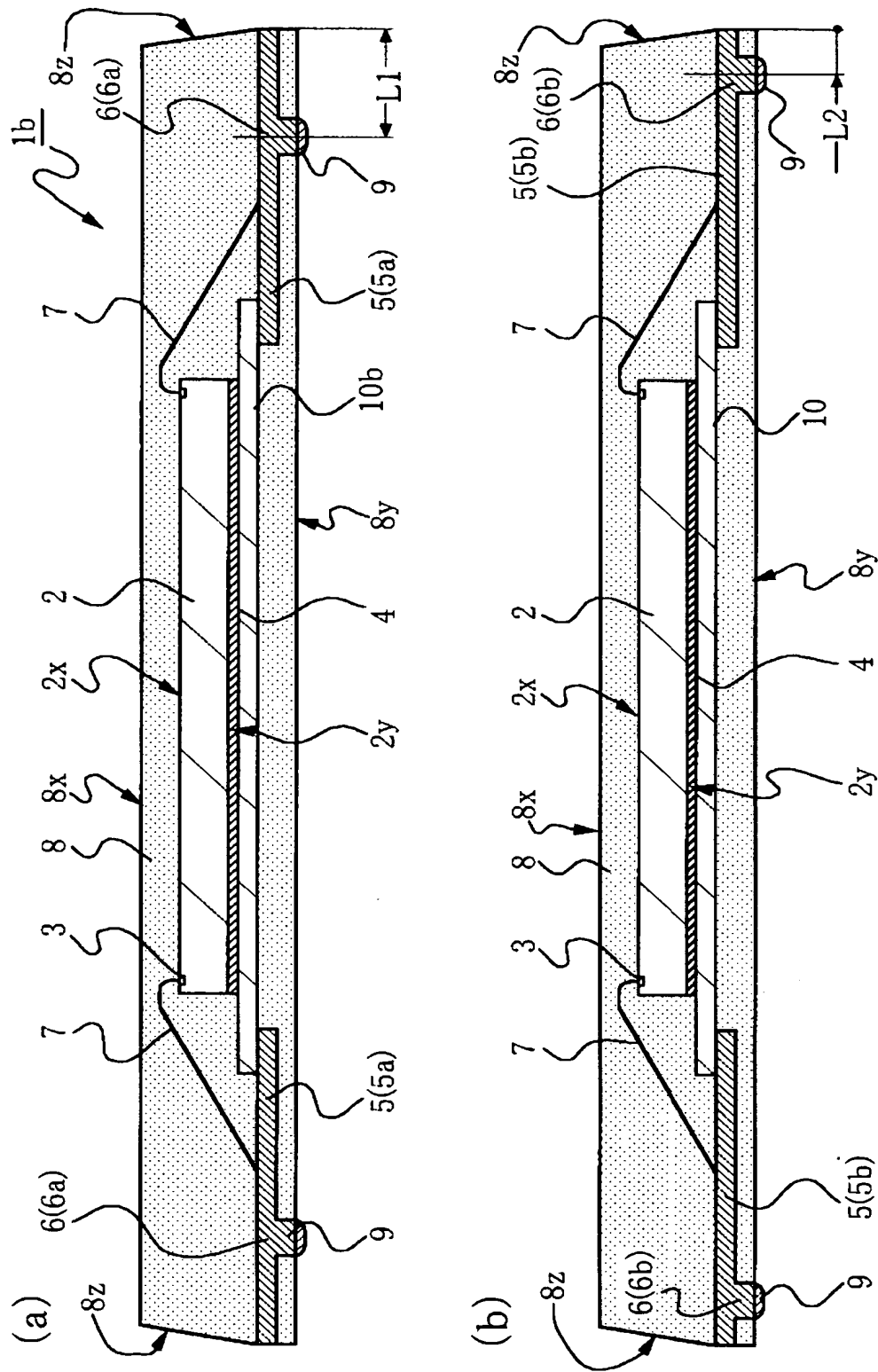
【図17】

図17

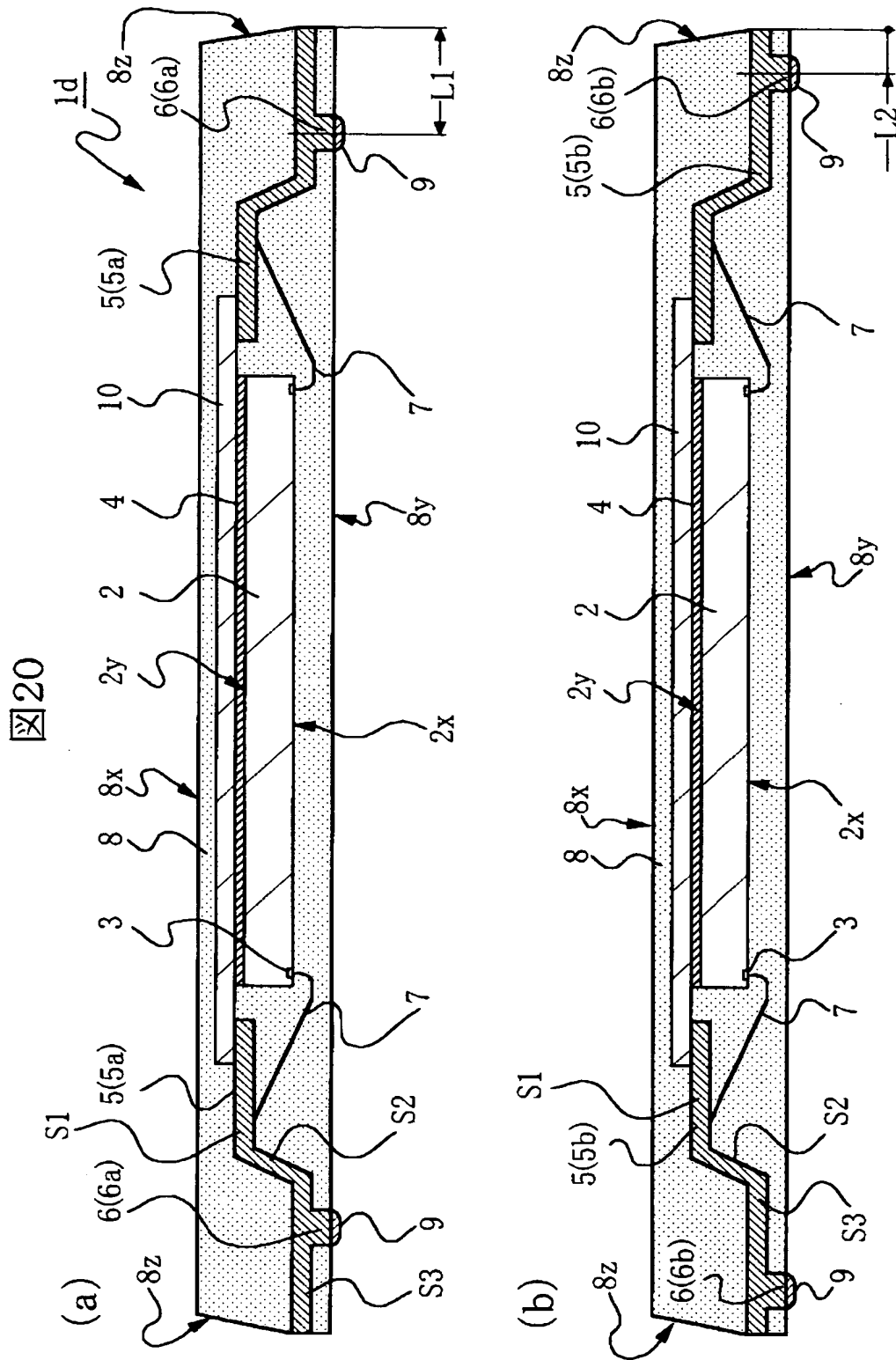


【図 18】

図 18

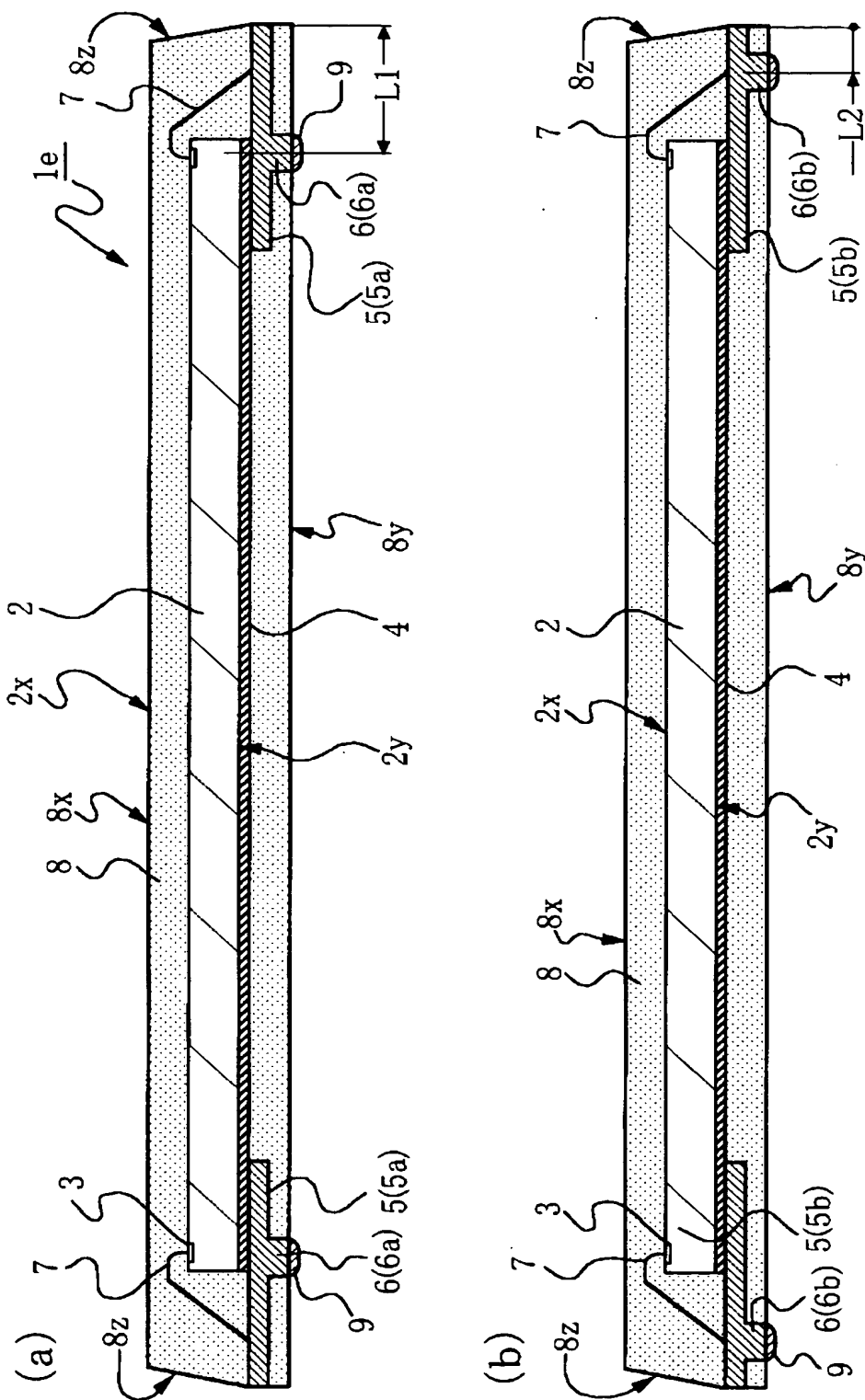


【図 20】

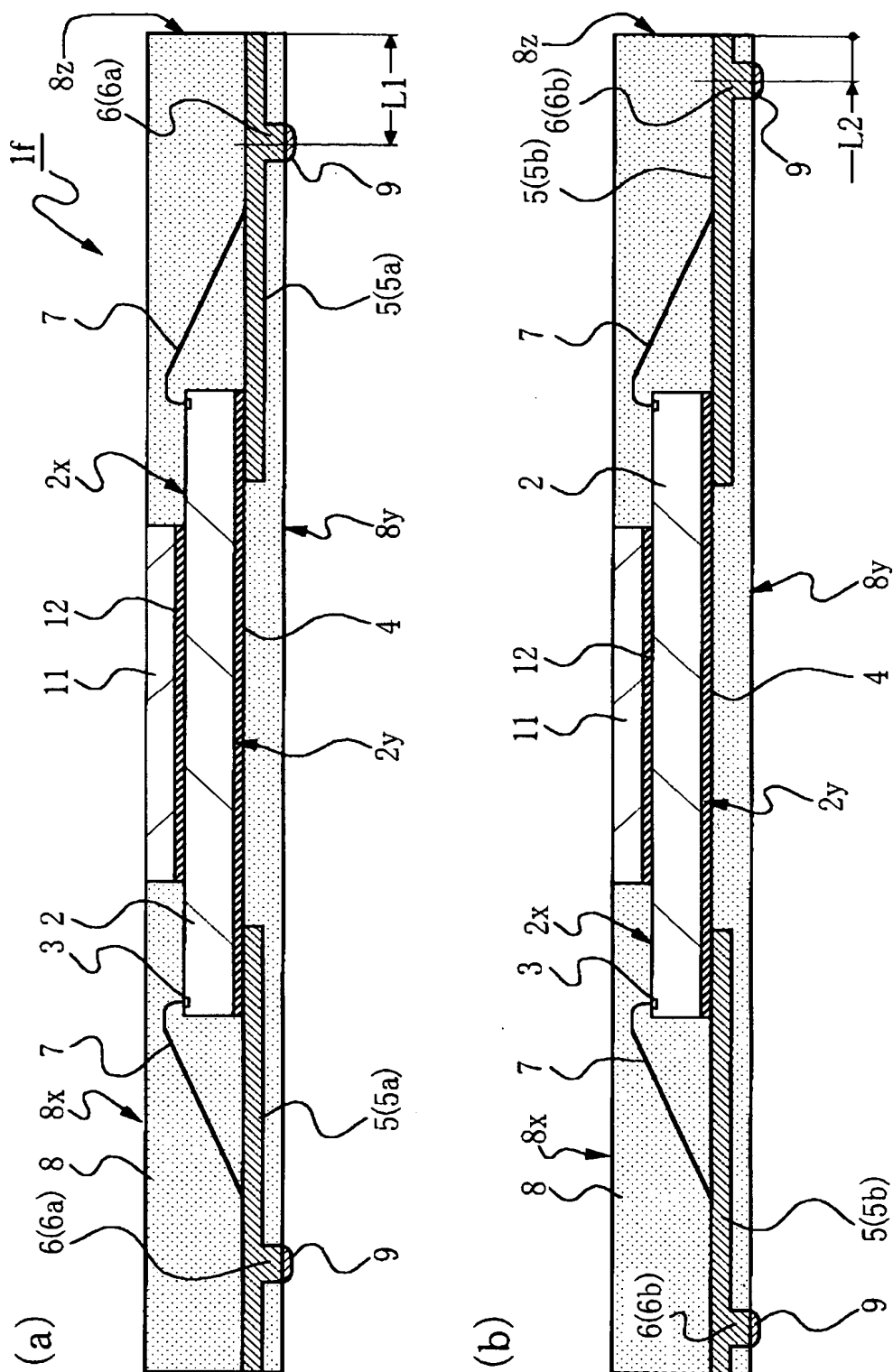


【図21】

図21

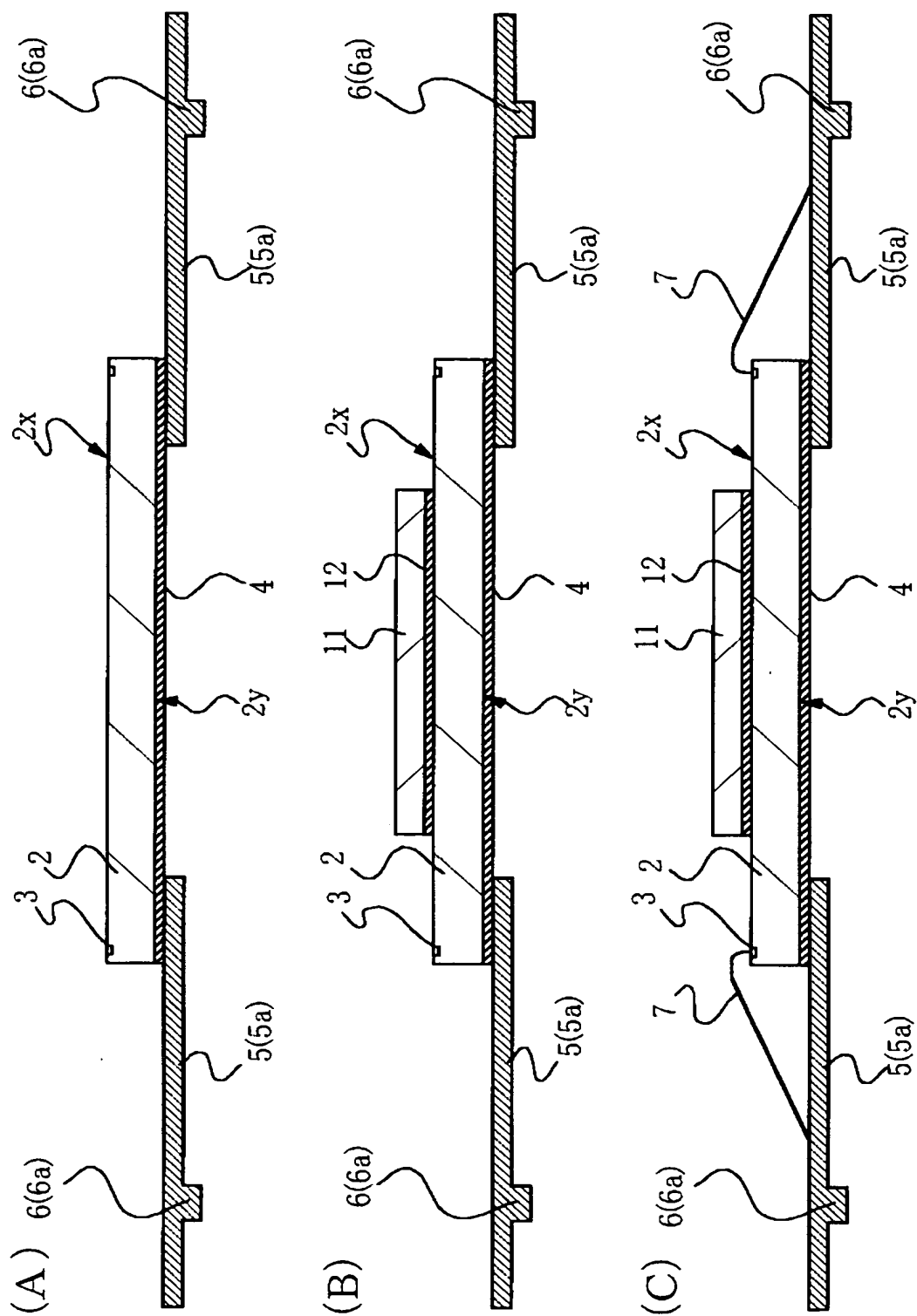


【図 2 2】

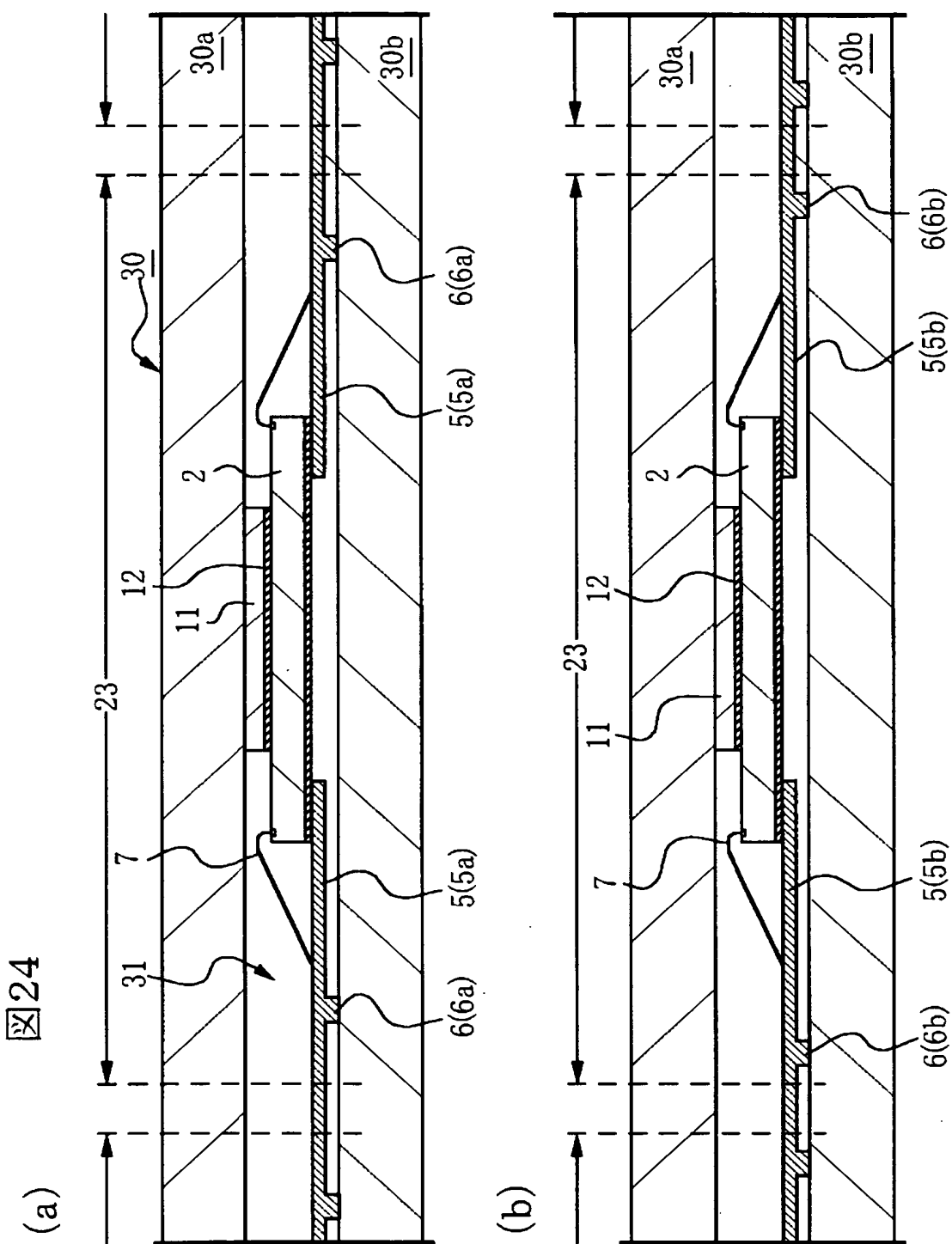


【図 23】

図 23

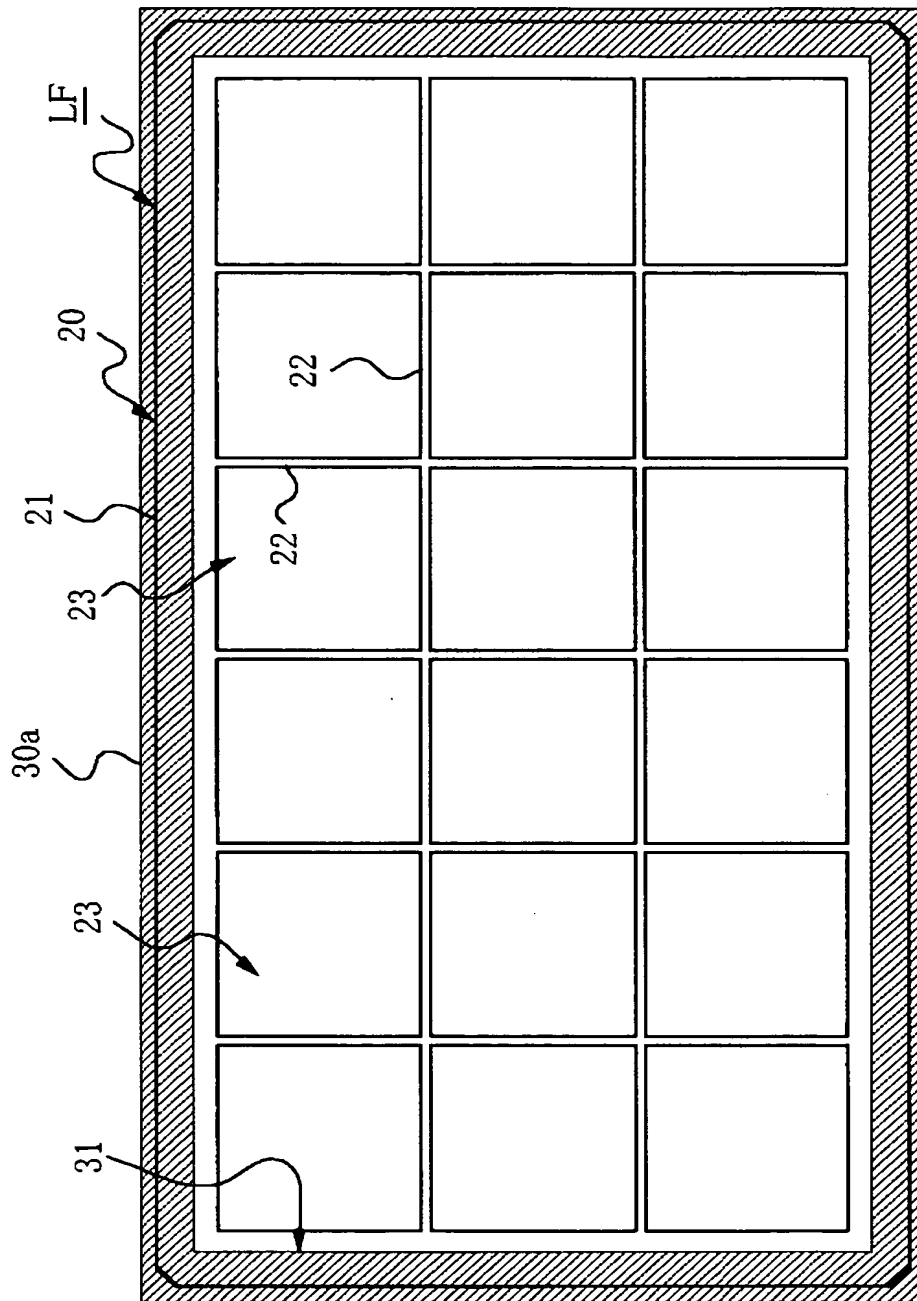


【図 24】

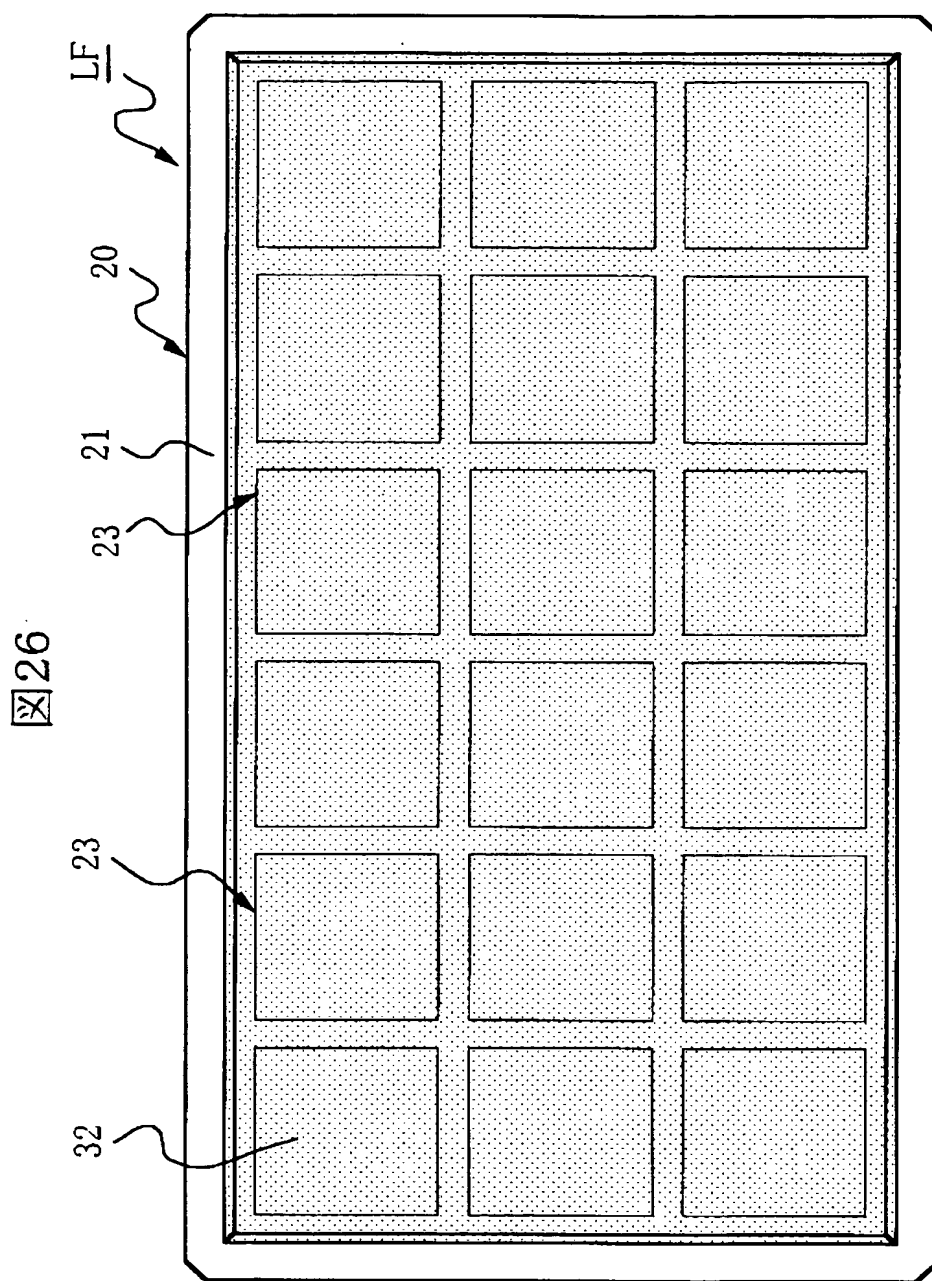


【図 25】

図 25

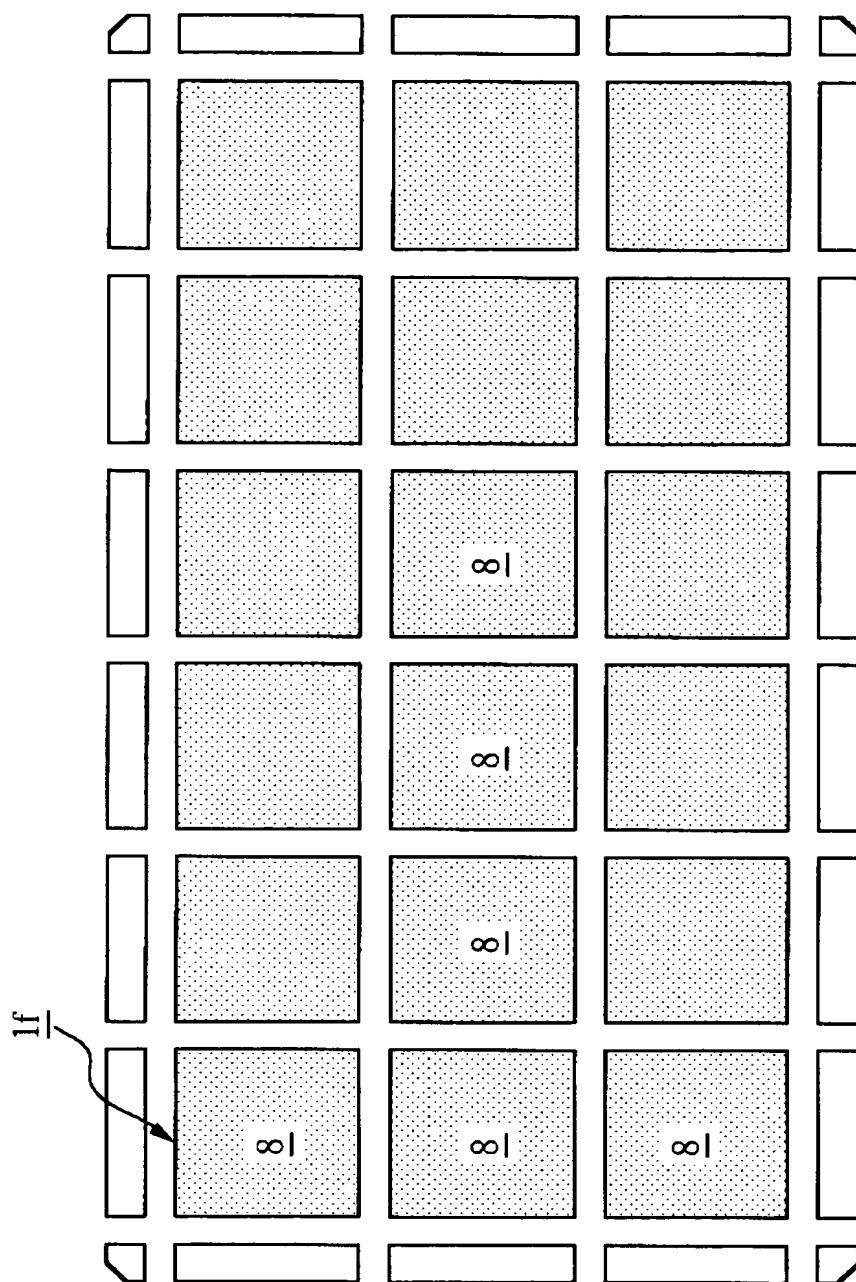


【図 26】

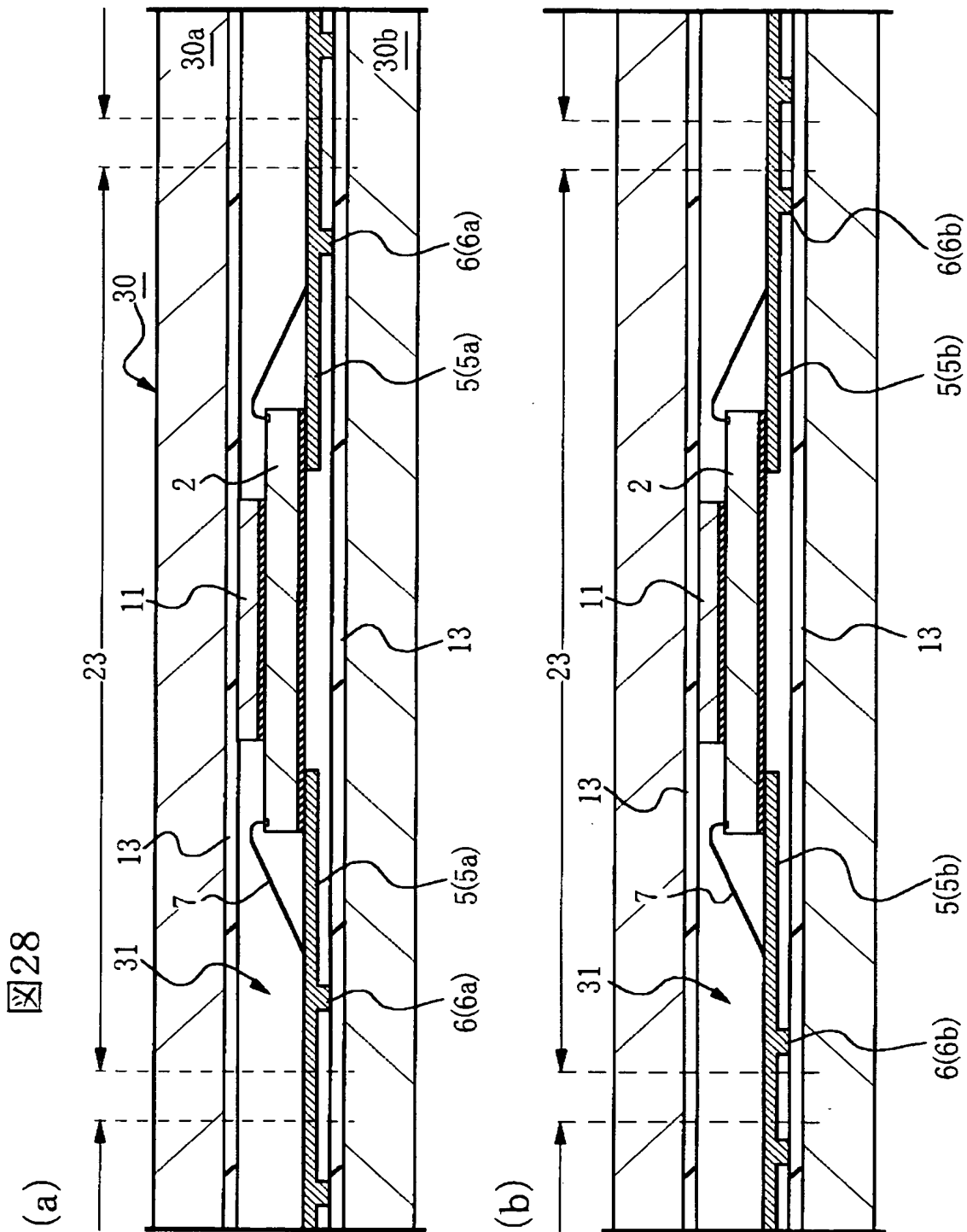


【図 27】

図 27

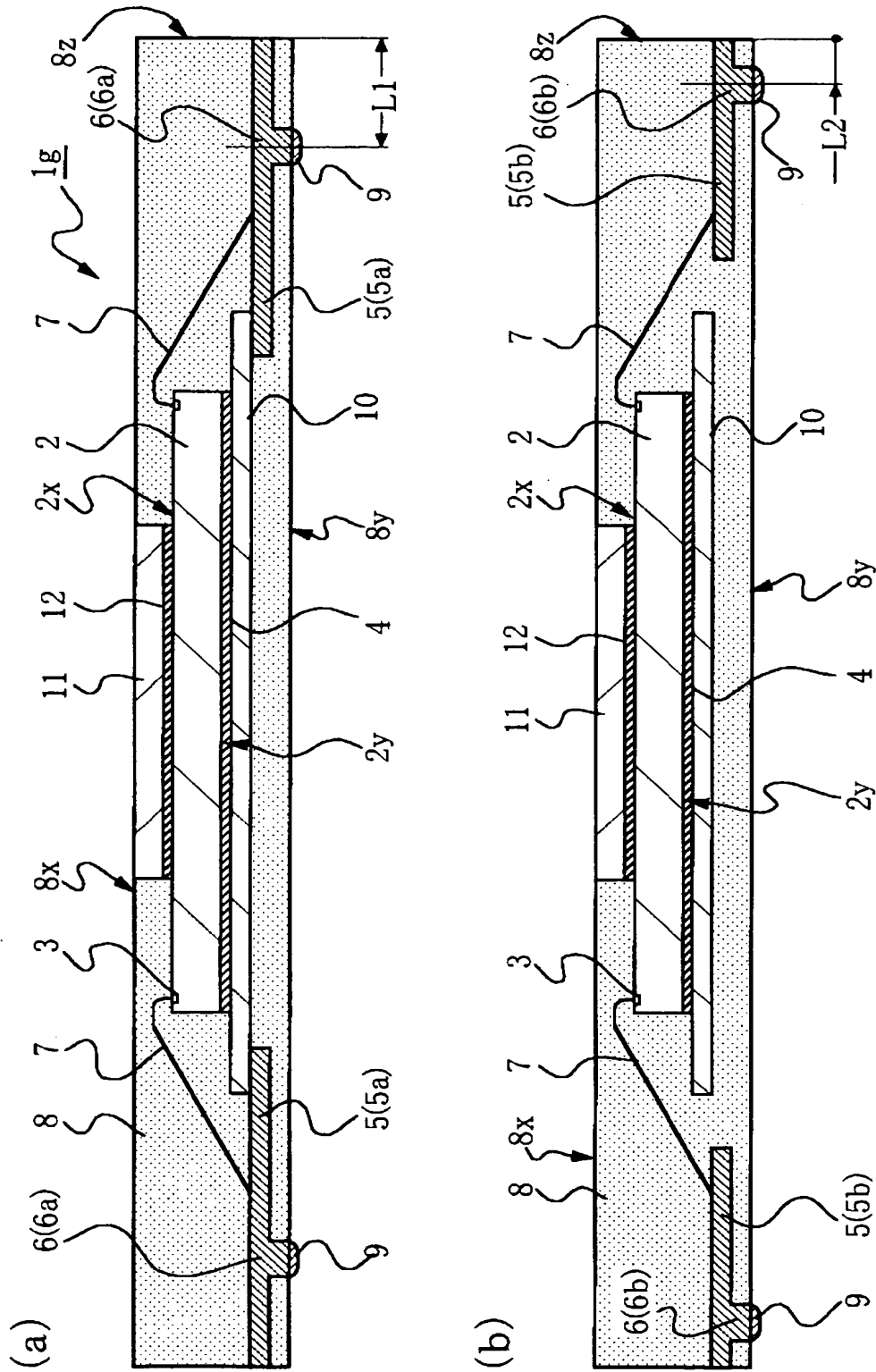


【図 28】



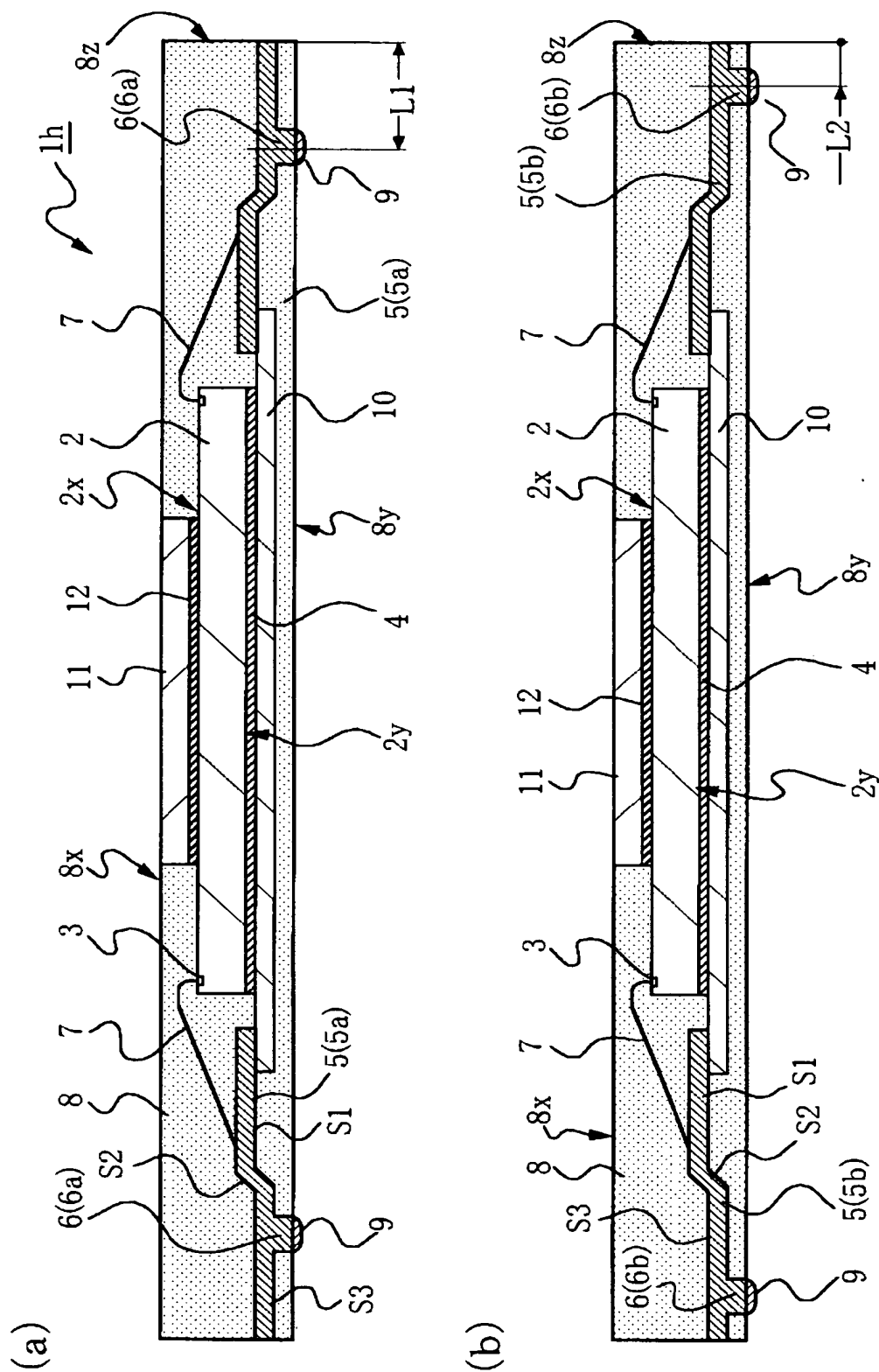
【図 29】

図29



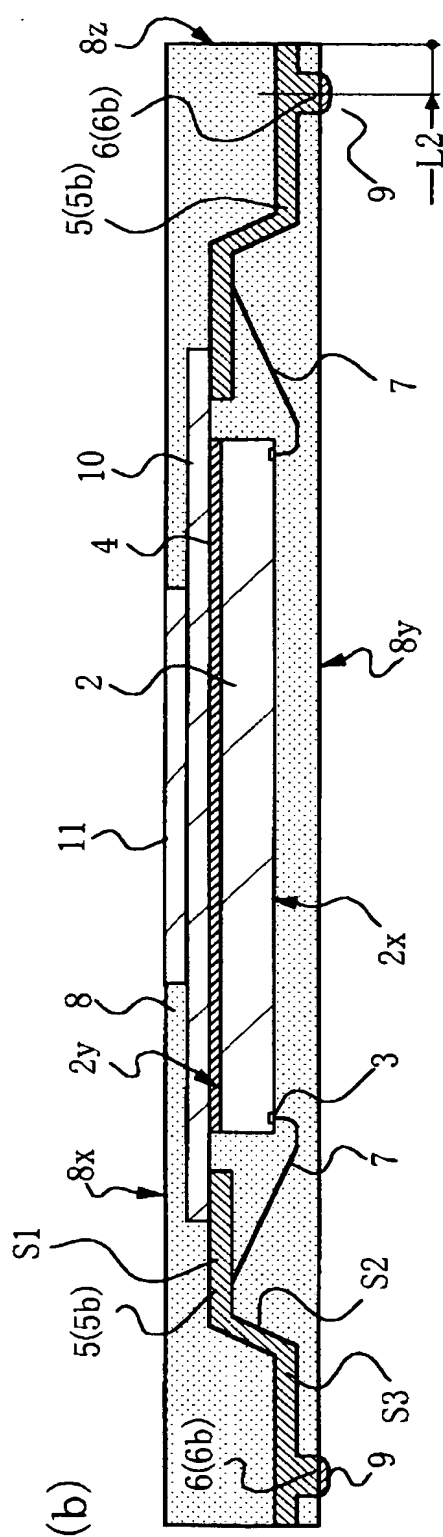
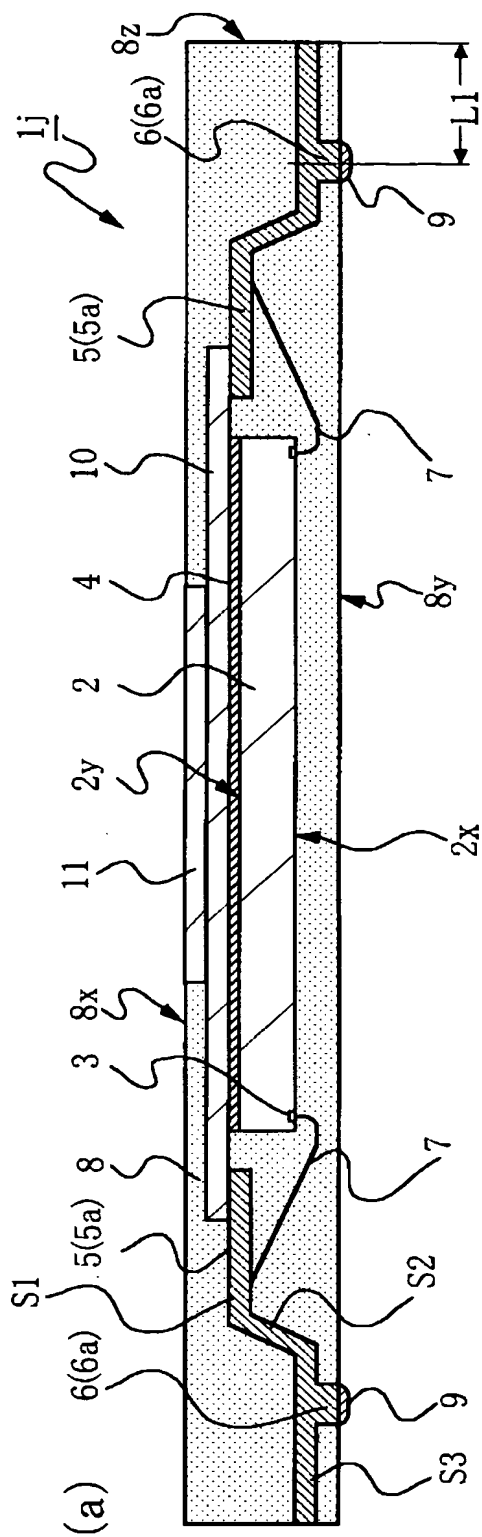
【図 30】

図 30

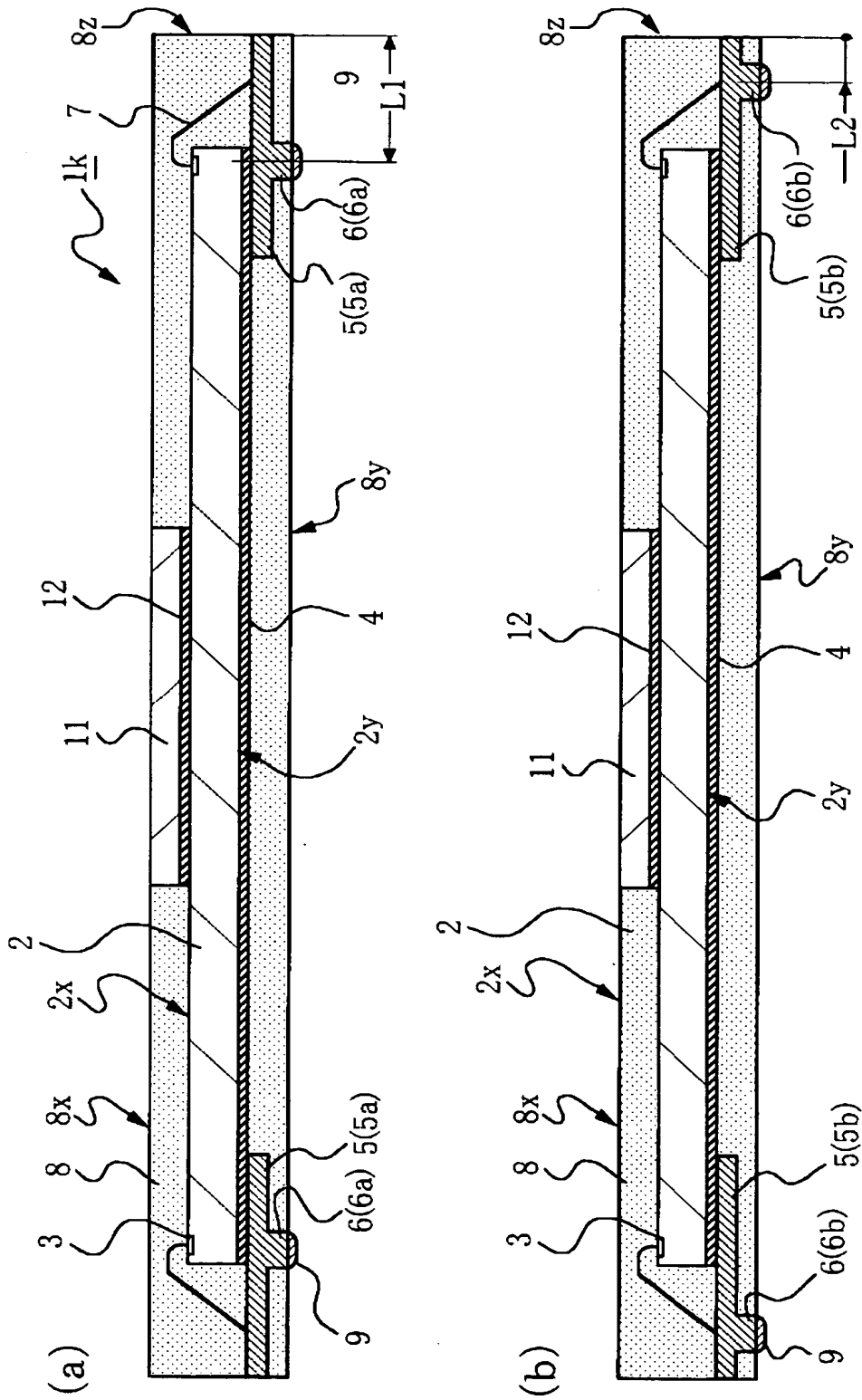


【図 31】

図 31

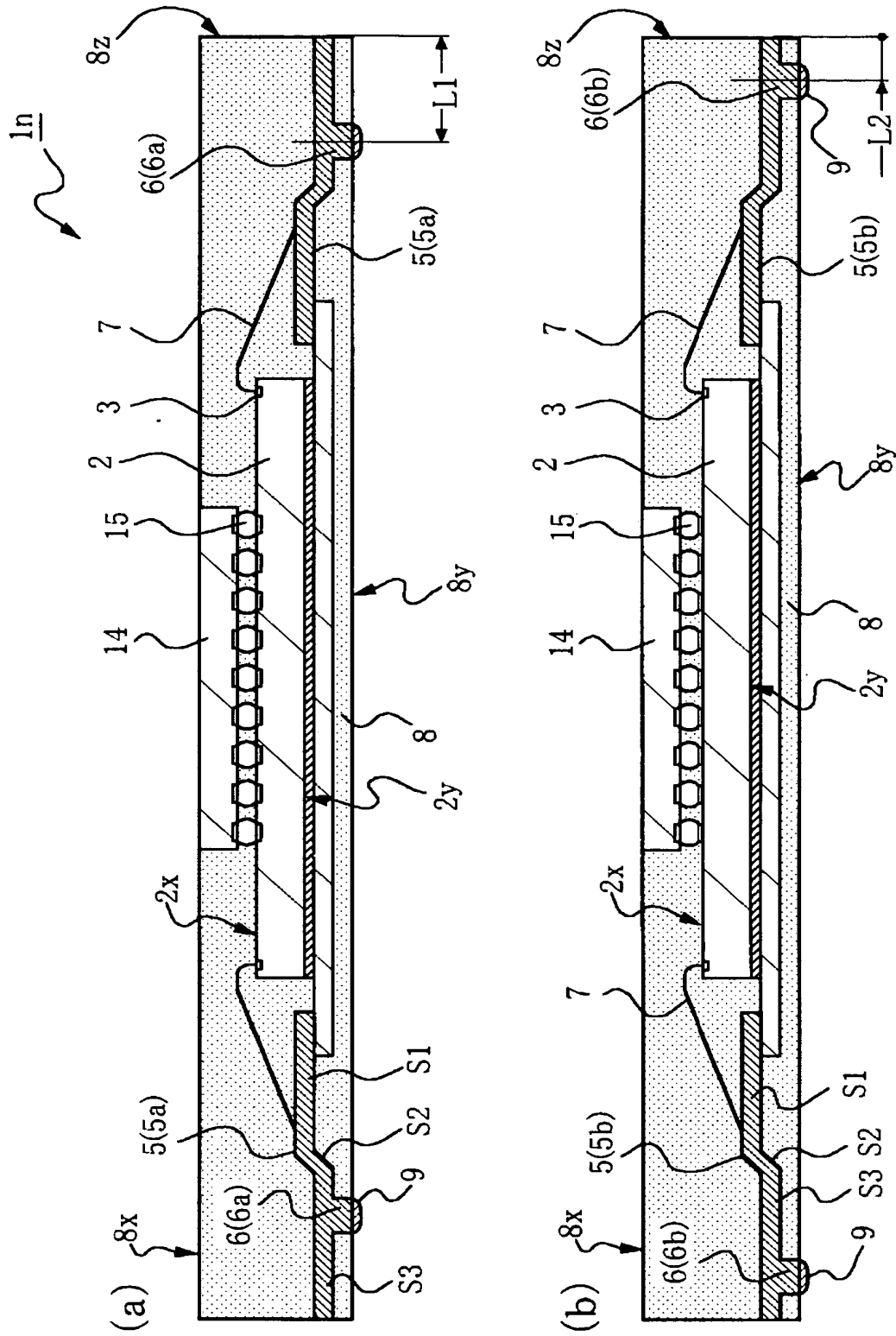


【図 3 2】



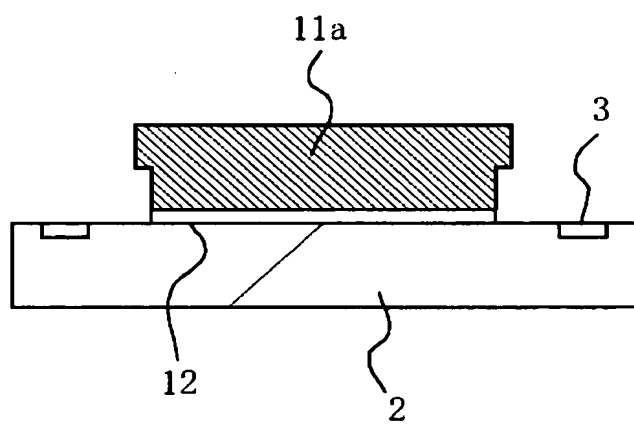
【図 34】

図 34



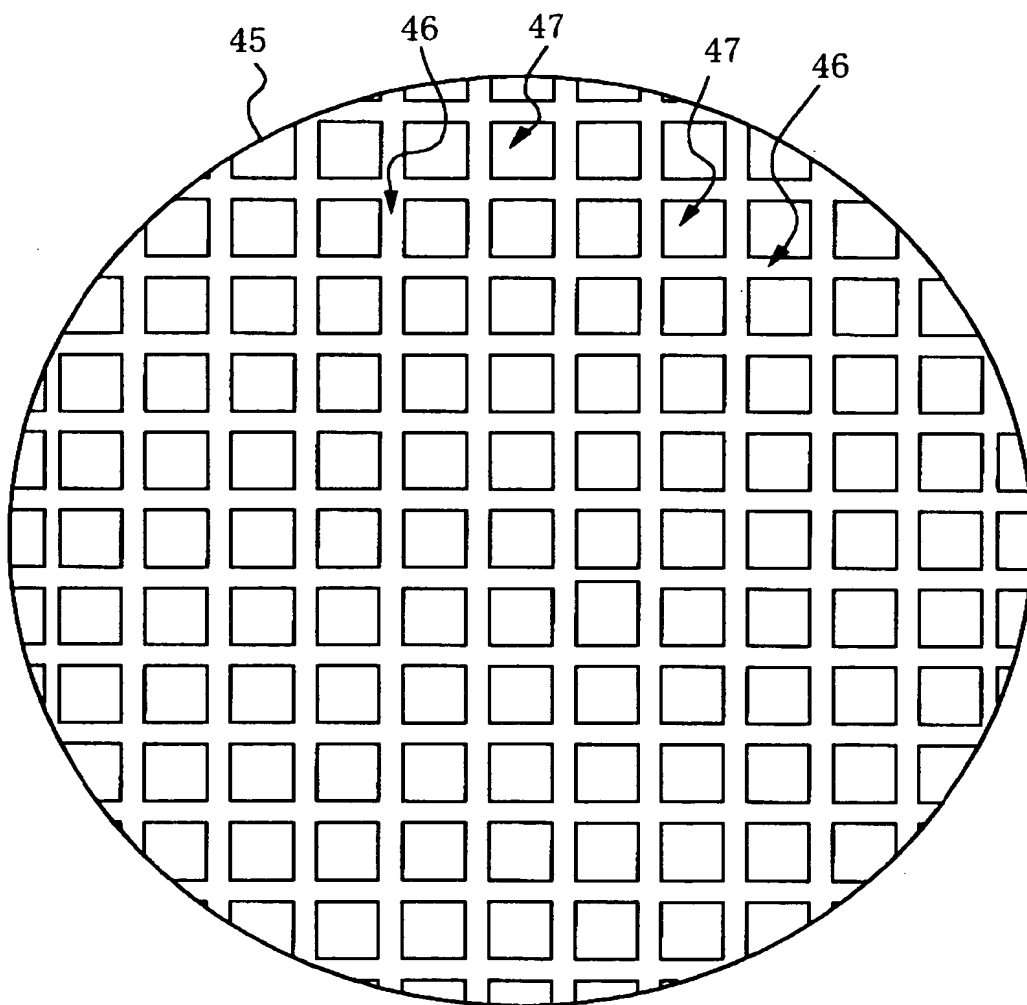
【図 35】

図35

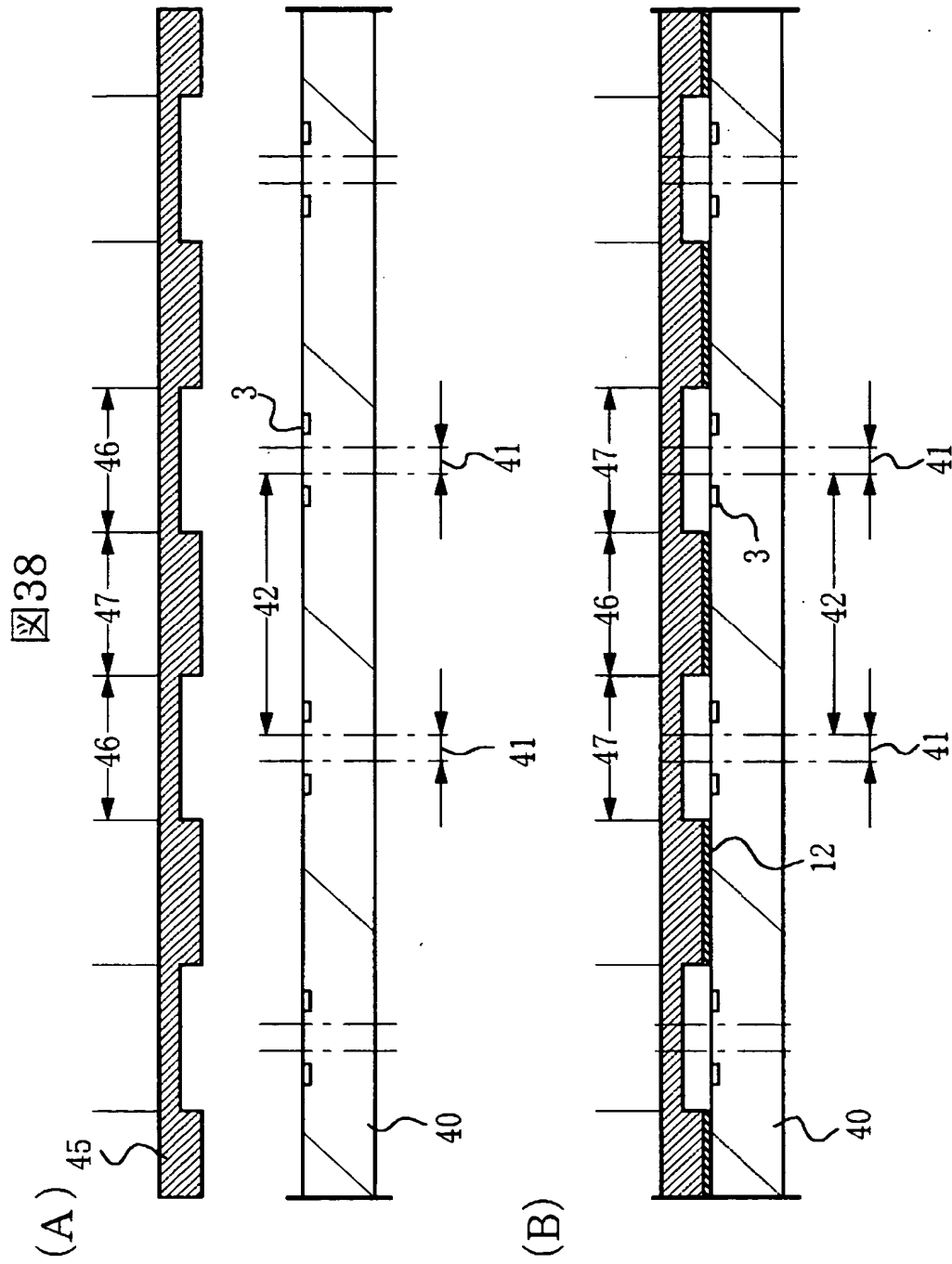


【図 37】

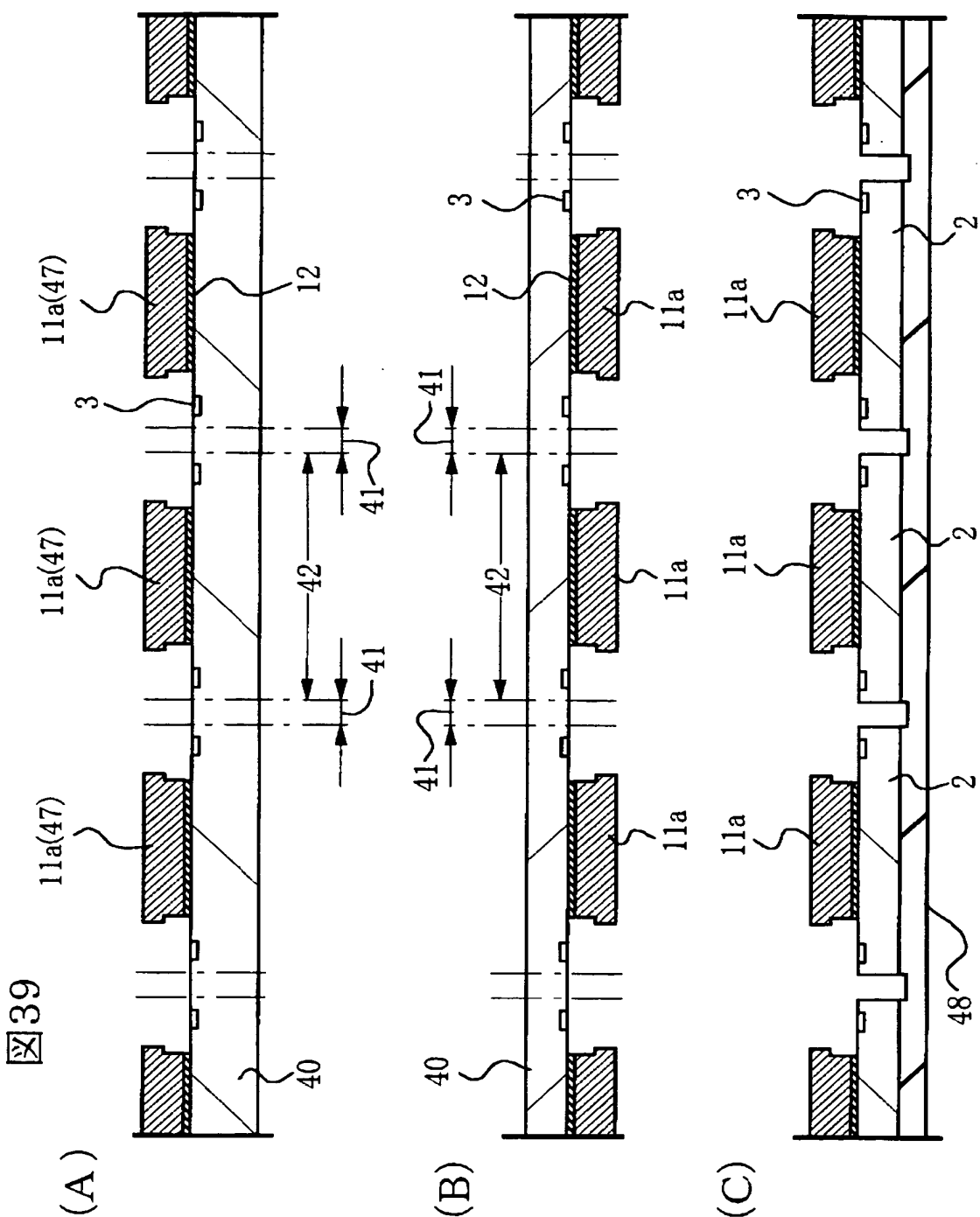
図 37



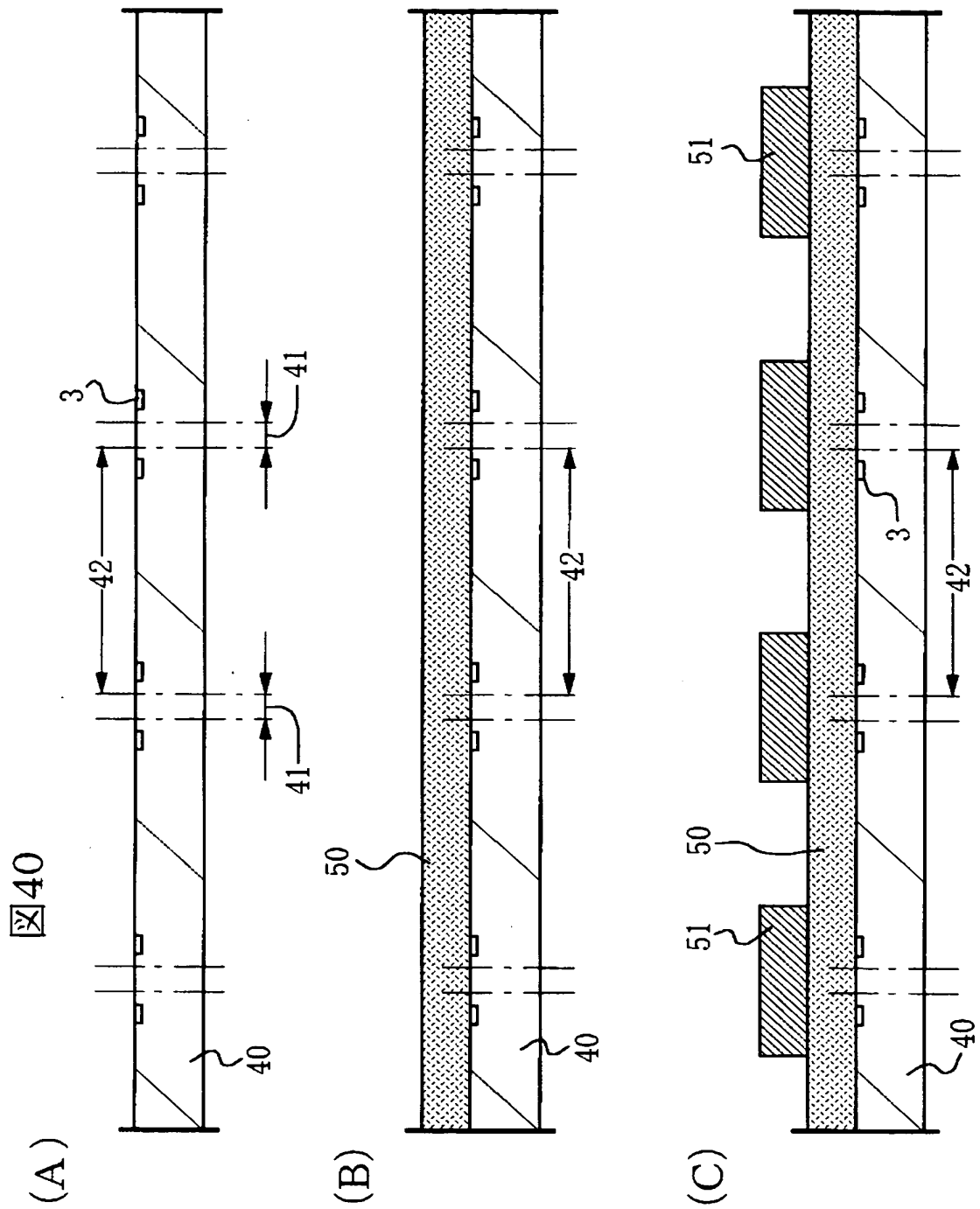
【図 38】



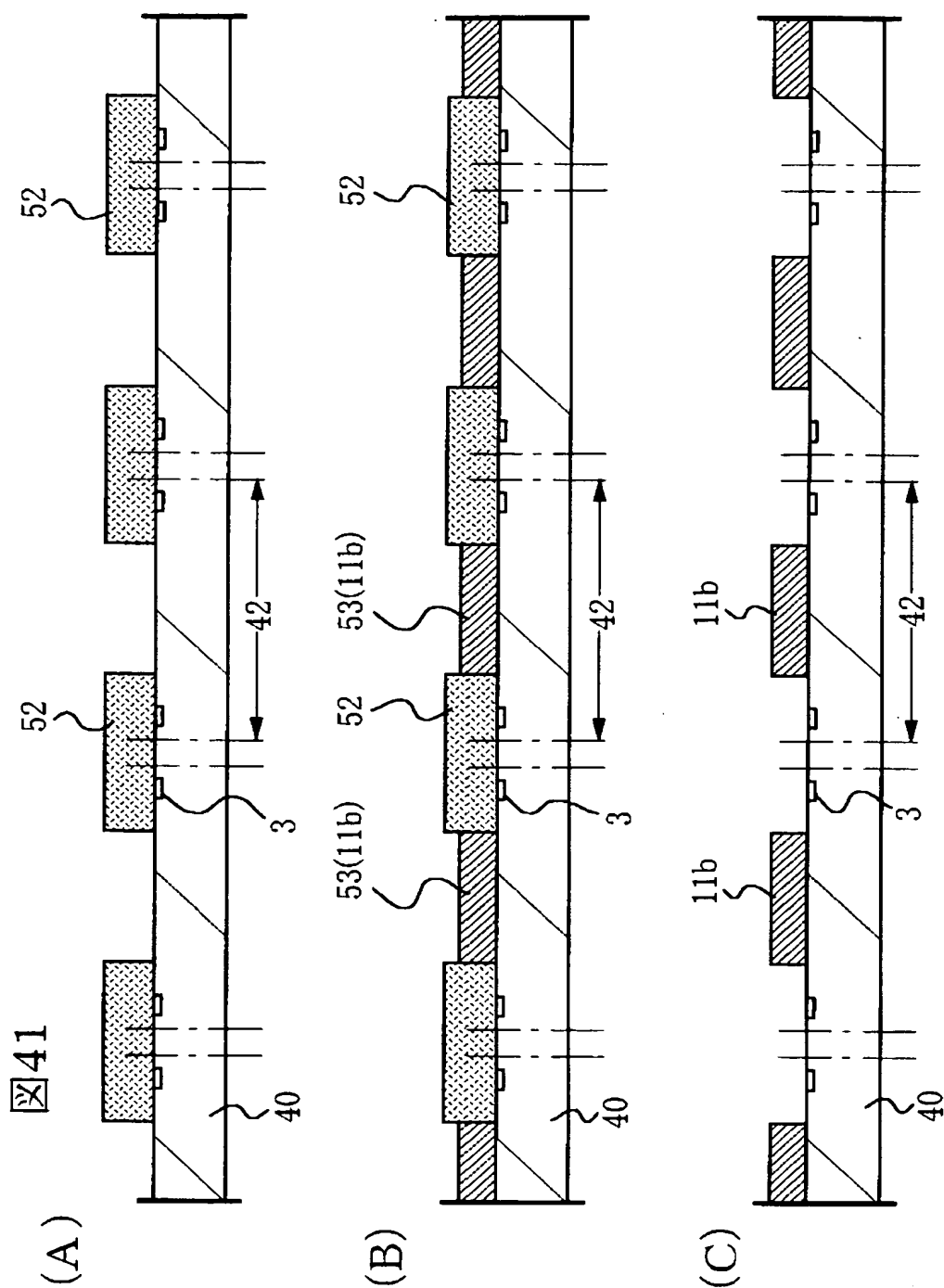
【図 39】



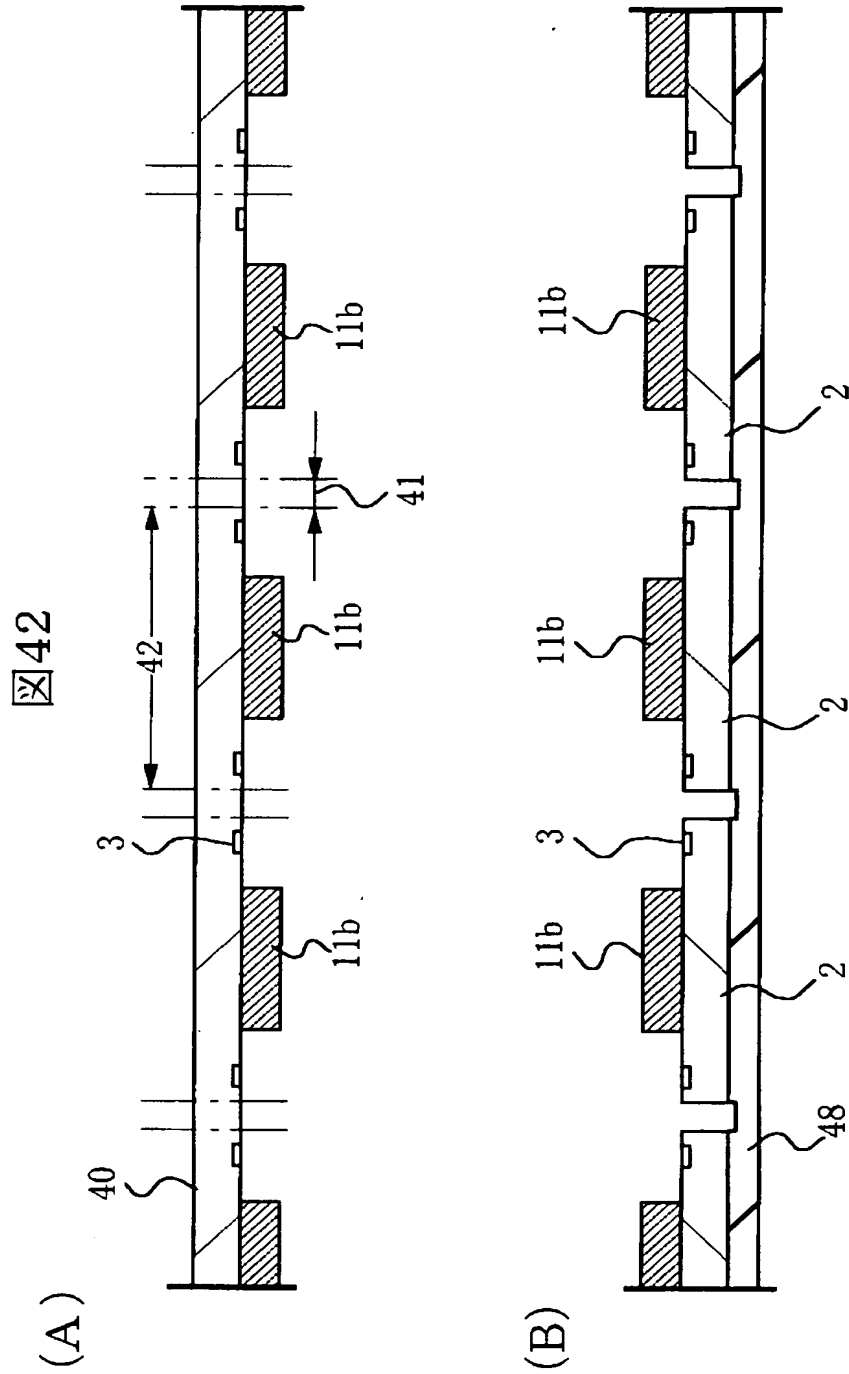
【図 40】



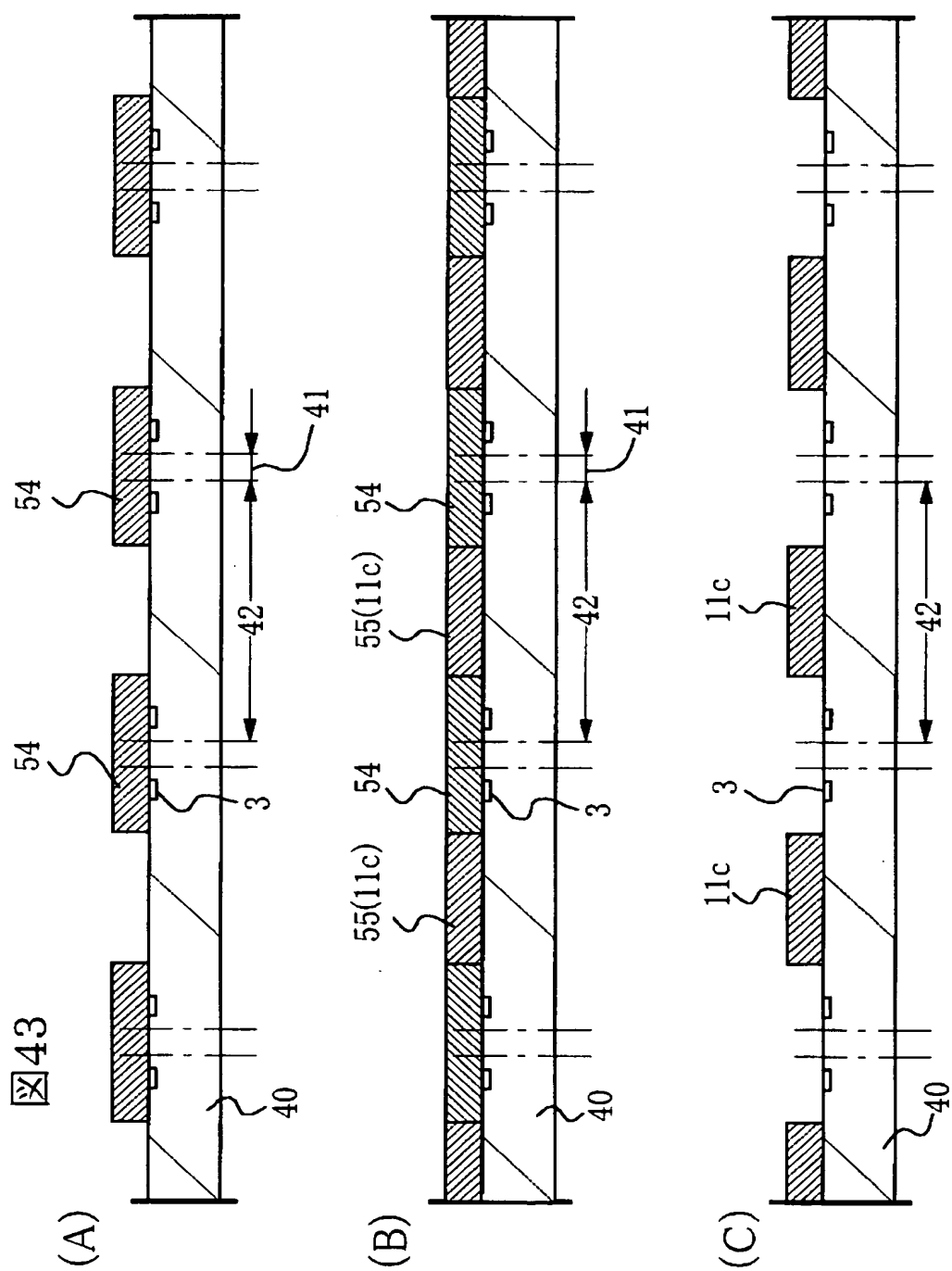
【図 41】



【図 42】

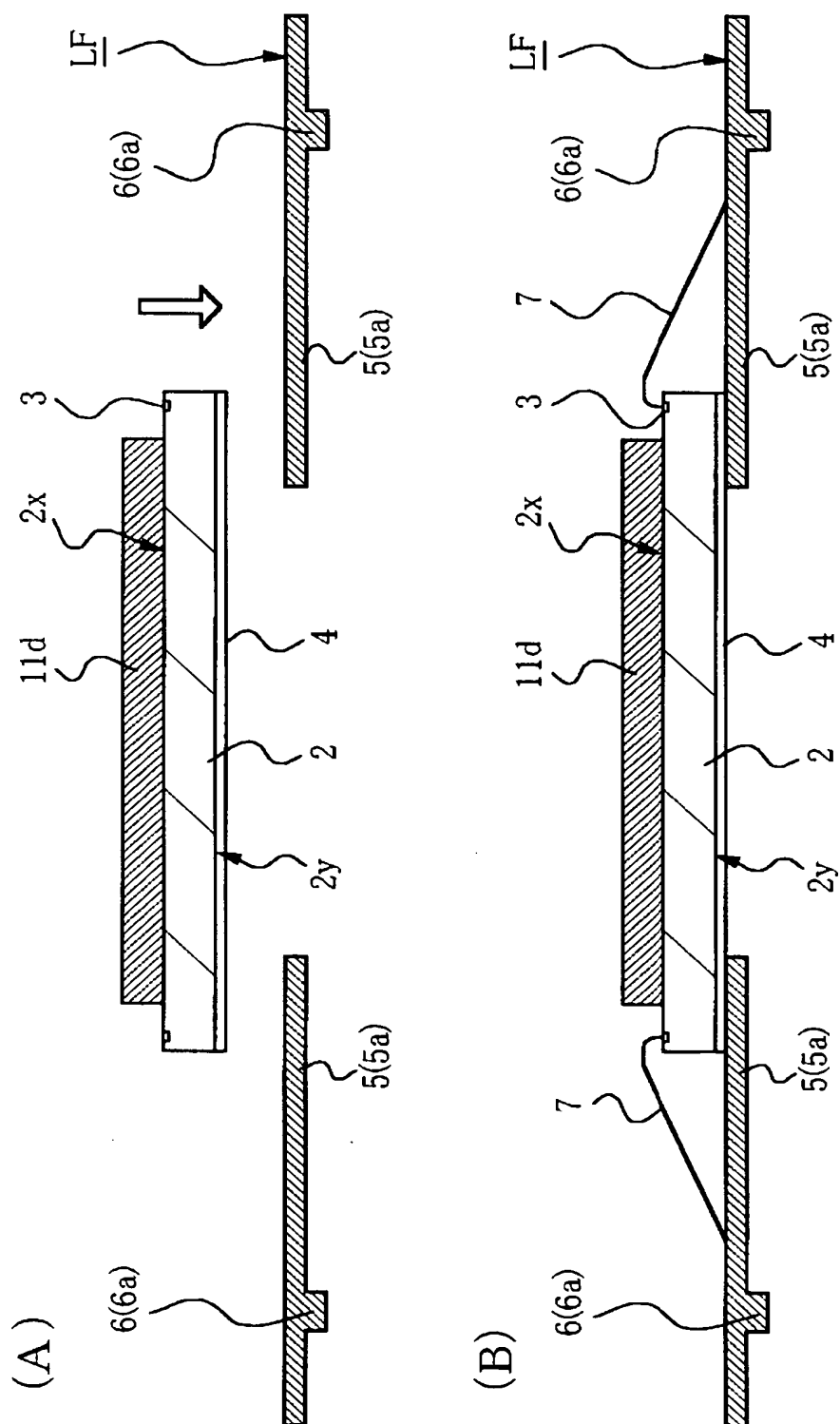


【図 43】

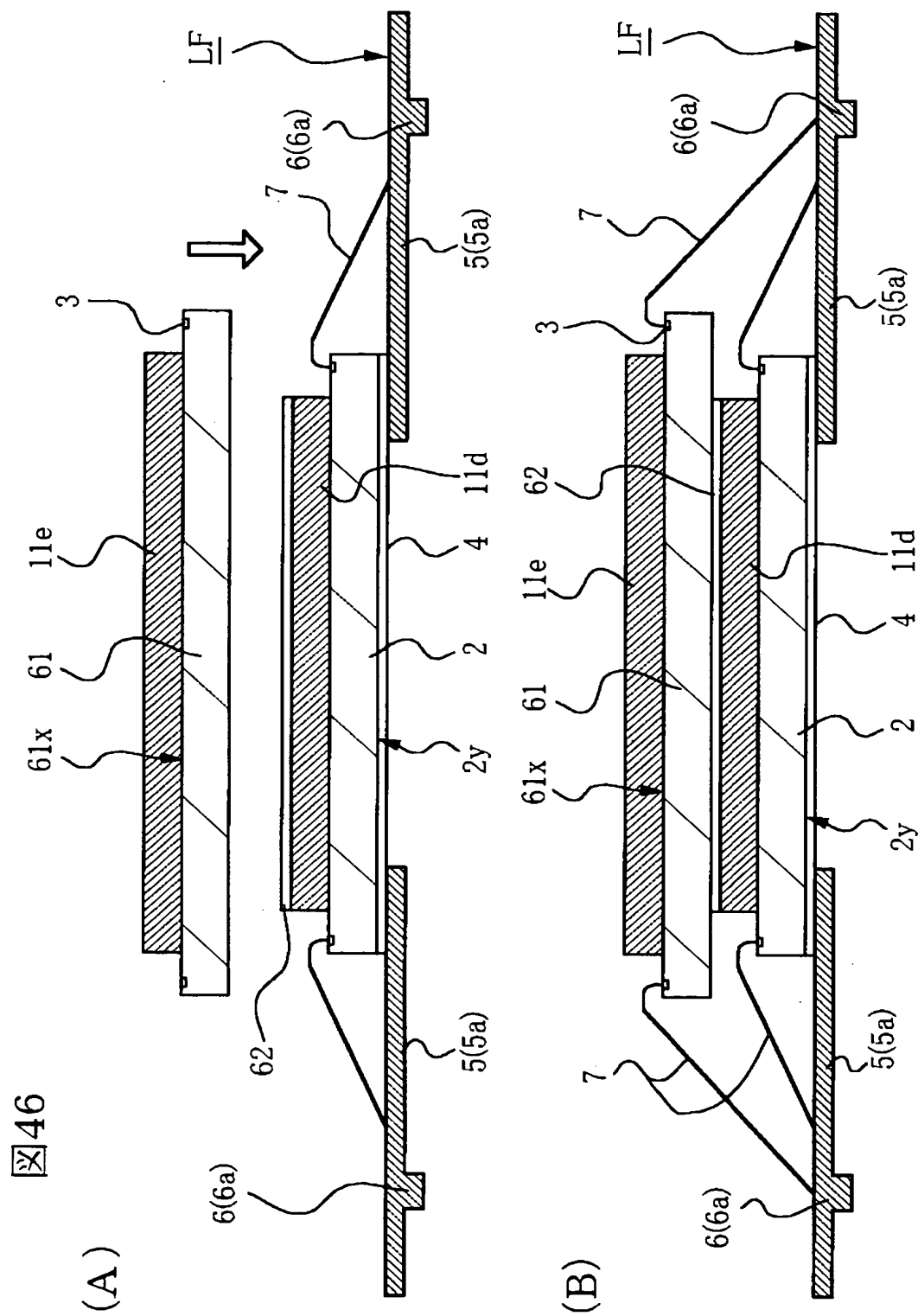


【図 45】

図 45

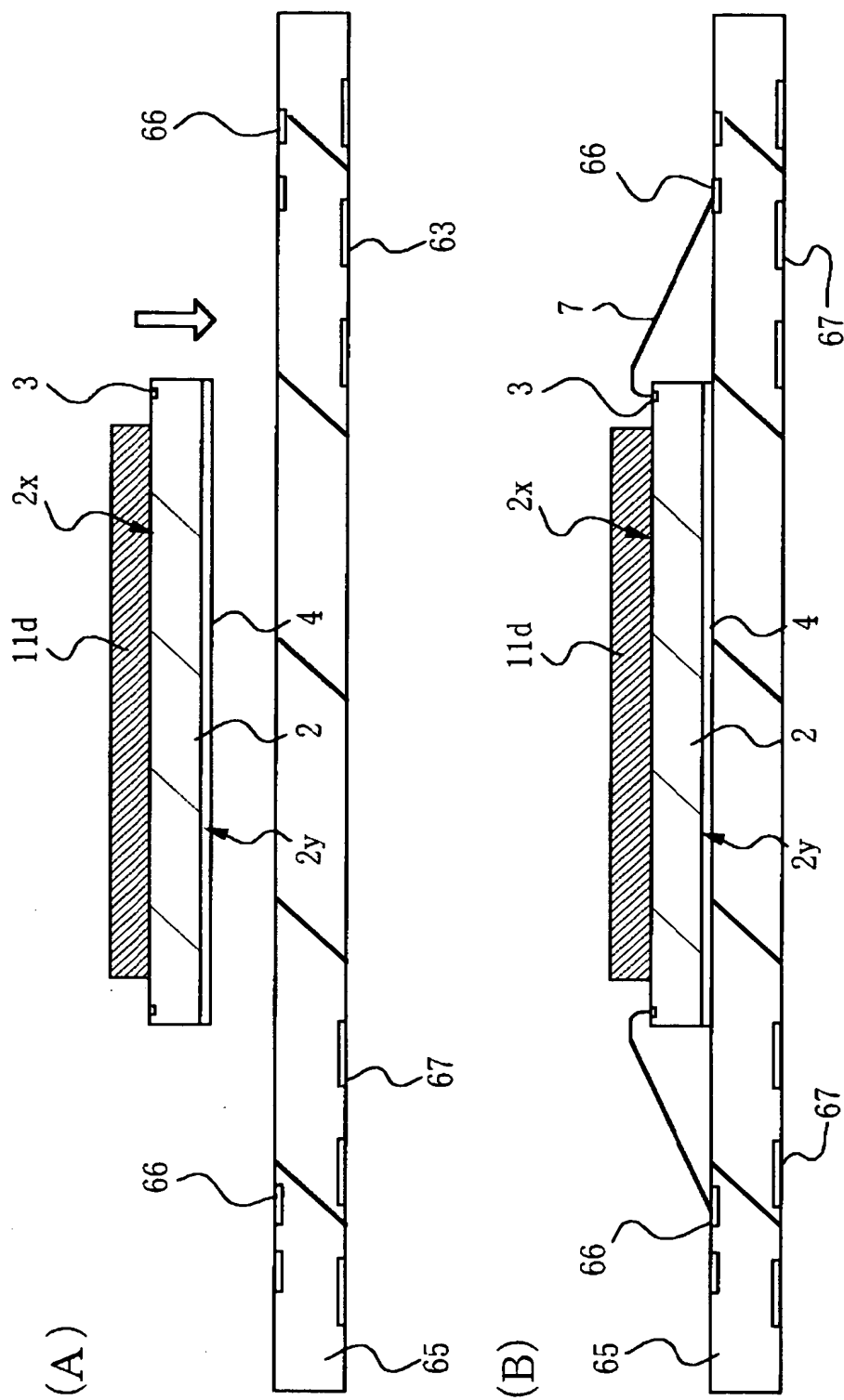


【図 4 6】

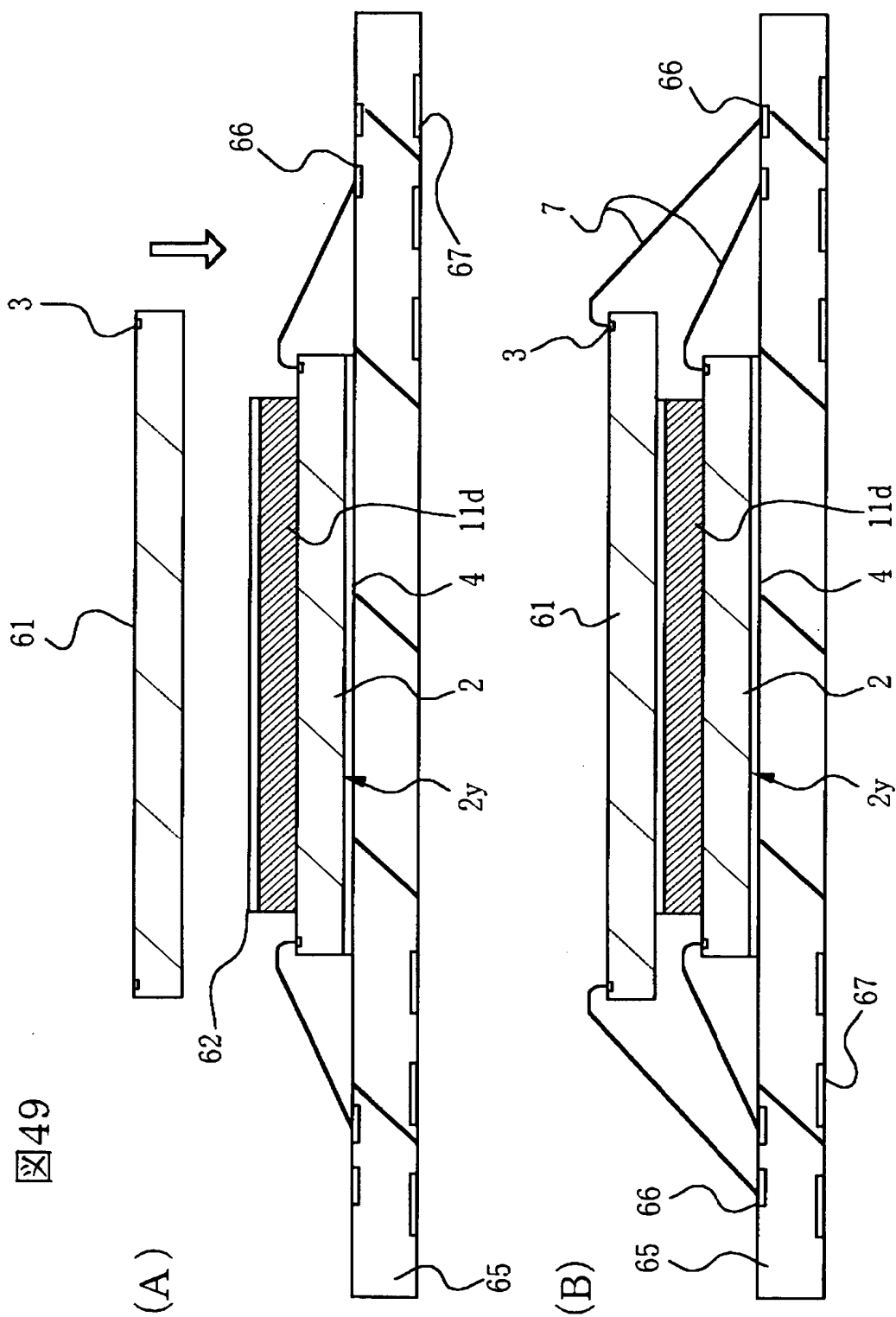


【図 48】

図 48



【図 49】



【書類名】 要約書

【要約】

【課題】 半導体装置の実装信頼性の向上を図る。

【解決手段】 樹脂封止体の裏面からリードの一部を露出することによって得られる外部端子を有する半導体装置において、

前記リードの一端部を半導体チップの裏面に固定し、かつ、前記半導体チップの外側に位置する前記リード部分と前記半導体チップの電極とをワイヤで接続する。

【選択図】 図 7

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 1 4 1 9 1 1
受付番号	5 0 3 0 0 8 3 5 2 7 3
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 5 月 2 1 日

< 認定情報・付加情報 >

【提出日】	平成15年 5月20日
-------	-------------

次頁無

特願 2 0 0 3 - 1 4 1 9 1 1

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ